

ERAF 2.5.1. aktivitāte „Atbalsts lietišķajiem pētījumiem valsts zinātniskajās institūcijās”

Atklāta projektu konkursa projekts

„DASP pielietojumu pētījumi konkurētspējīgu virtuālo instrumentu izstrādei”

Projekta norises vieta: “Elektronikas un datorzinātņu institūts”

Līguma Nr. VPD1/ERAF/CFLA/05/APK/2.5.1./000016/007

Projekta vadītājs: Dr.sc.comp. Modris Greitāns

Projekta asistente: Tamāra Laimiņa

Sākums: 2006.gada. 1.jūlijs.

Ilgums: 24 mēneši

Beigas: 2008.gada 30.jūnijs

Finansējums: 120000Ls

Īsa priekšvēsture:

- Projekta ideju pieteikums sagatavots 2003.gadā.
- Projekta ideja tiek izvēlēta ERAF līdzfinansējuma pieteikuma rakstīšanai.
- Ideju pieteikuma projekta rezultāti tiek neatzīti.
- Projekta pieteikums atklātam projekta konkursam tiek sagatavots 2005.gada sākumā.
- Projekta izpilde apstiprināta 2006.gada 12.aprīlī.
- Līgums noslēgts 2006.gada 8.jūnijā. Līdz ar to projekta izpilde formāli var sākties.
- Priekšfinansējums projekta izpildei no IZM tiek saņemts sākot ar 2006.gada septembri.

- Veicināt uz zinātnietilpības rēķina konkurētspējīgas produkcijas ražošanu un pielietošanu Latvijas tautsaimniecībā.
- Izveidot DASP Virtuālo instrumentu tehnoloģiju modernu, augstas kvalitātes, daudzfunkcionālu, datorizētu iekārtu ražošanai, lai pilnīgāk nodrošinātu pētniecisko, mācību un industriālo sfēru ar signālu analīzes aparāturu.

Plānotie rezultāti:

- ❖ Publikācijas starptautiski atzītos izdevumos par DASP Virtuālo instrumentu risinājumiem un izmantotajiem apstrādes algoritmiem.
- ❖ Sagatavoti inženierzinātņu jaunie speciālisti.
- ❖ Virtuālo instrumentu eksperimentālie paraugi:
 - 669MHz 60dB (SFDR) dinamiskā diapazona signālu analizators;
 - 24MHz reāla laika signālu mazcenā analizators;
 - 24MHz reāla laika brīvas formas signālu mazcenā ģenerators
- ❖ DASP virtuālo instrumentu tehnoloģija
- ❖ Patenta pieteikums
- + Publicitāte: Izveidota tīmekļa lapa par projektu, izvietota plāksne par ERAF līdzfinansējumu un plakāts par projektu, tiek organizēti semināri ražotājiem un lietotājiem.

Aktivitātes:



1. Akt. DASP virtuālo instrumentu struktūru, funkciju, darbības pamatprincipu un specifikāciju noteikšana

1. Multifunkcionālu virtuālo instrumentu struktūru izstrāde signālu analīzei laika un frekvenču apgabalos.
2. Veicamo funkciju definēšana iekārtu potenciālajiem pielietojumiem zinātniski pētnieciskajā, mācību un tautsaimniecības sfērās.
3. Izmantojamo datu apstrādes metožu un darbības algoritmu kopas noteikšana.
4. Virtuālo instrumentu potenciālo specifikāciju izveide.

2. Akt. Divu veidu- mazcenas un augstparametru, virtuālo instrumentu aparatūras izstrāde un eksperimentālo prototipu izgatavošana

1. Virtuālo instrumentu aparatūras tehnoloģiskā izpildījuma izpēte un izvēle.
2. Principiālo elektrisko shēmu izstrādāšana.
3. Montāžas plašu kopsalikumu izveide.
4. Virtuālo instrumentu eksperimentālo paraugu elektroniskās aparatūras montāža.
5. Pilotiekārtu noskaņošana

3. Akt. DASP Virtuālo instrumentu programmnodrošinājuma radīšana

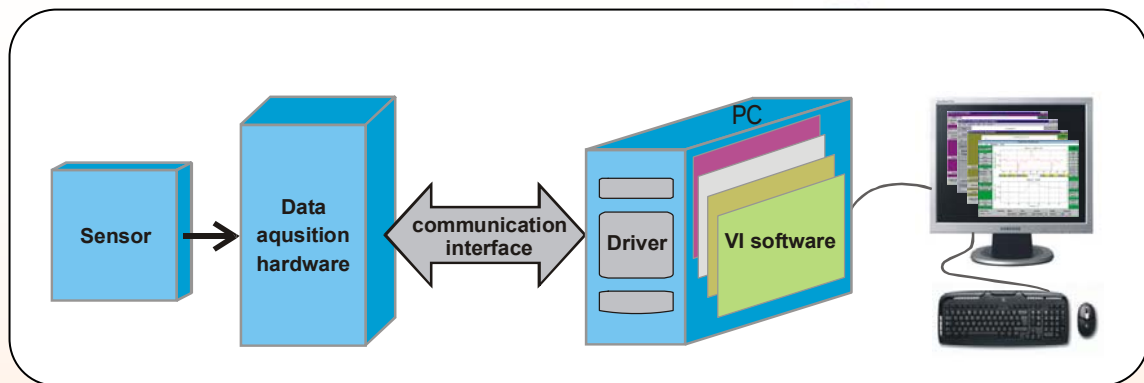
1. Programmējamo mikroshēmu projektēšana.
2. Iekārtu sadarbības interfeisa ar datoru kontroliera programmēšana.
3. Izmantojamo DASP algoritmu bibliotēkas izveide valodās C un G.
4. Lietotāju grafisko interfeisu izstrāde.
5. Virtuālo instrumentu programmatūras projektu izstrāde un noskaņošana
6. Attālinātā darba ar instrumentiem iespējas izveide un noskaņošana.

4. Akt. Eksperimentālie pētījumi DASP virtuālo instrumentu darbības novērtēšanai, demonstrēšanai un signālu apstrādes modelēšanai

1. Iekārtu reāli iegūstamo parametru noteikšana un to uzlabošanas iespēju izpēte.
2. Eksperimentālo paraugu funkcionalitātes novērtēšana un iespējas tās attīstīšanai.
3. Praktiskā darba pieredzes apgūšana konkrētu pielietojumu apstākļos.
4. Metodisko ieteikumu un norādījumu izstrādāšana lietotājiem



Virtuālo instrumentu struktūra



Datu apmaiņas ātrumi un distances datora interfeisiem

	Wired						Wireless		
Interface	RS232	EPP	PCI-E x1	USB	Fire Wire - IEEE 1394b	PCI	802.11	Blue-tooth	ZigBee
Data rate	115kbps	1.8MB/s	250MB/s	60MB/s	100MB/s	132MB/s	54Mb/s	1Mb/s	250kbps
Distance	~15m	1.5m	onboard	5m	4.5m	Onboard	~50m	10m	up to 100m

Ar klasisko analogs-ciparu pārveidotāju iegūst laikā vienmērīgas signāla nolases. Nolasēm jābūt vismaz 2 reizes biežāk nekā signāla augstākā frekvence. Datu pārraides interfeisam jānodrošina visu datu saņemšana PC bez zudumiem. Interfeisa caurlaidība ierobežo apstrādājamo frekvenču joslu reāla laika sistēmā!



Nevienmērīga diskretizācija (DASP)

Speciāla diskretizācija aparatūrā

Specifiski algoritmi programmatūrā

VI ir efektīvs veids elastīgu mērsistēmu izveidei

- + Priekšrocība ir PC resursi datu vizualizācijai un VI vadībai;
- Trūkums ir interfeisa ierobežotā caurlaides kapacitāte.

Vienmērīgā diskretizācija ierobežo mērsistēmas frekvenču joslu.

ACP ieejas josla tipiski ir platāka par maksimālo diskretizācijas frekvenci.

Tiek izmantots A/C pārveidojums ar nevienmērīgu diskretizāciju

- + Frekvenču “uzklāšanās” tiek nospiesta, josla ir paplašināta;
- » Speciāls diskretizācijas draiveris aparatūrā;
- » Specifiski apstrādes algoritmi programmatūrā.

A priori informācija par signāla īpašībām ļauj uzlabot analīzes rezultātus.

Virtuālo instrumentu programmatūrai sevī jāietver:

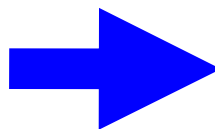
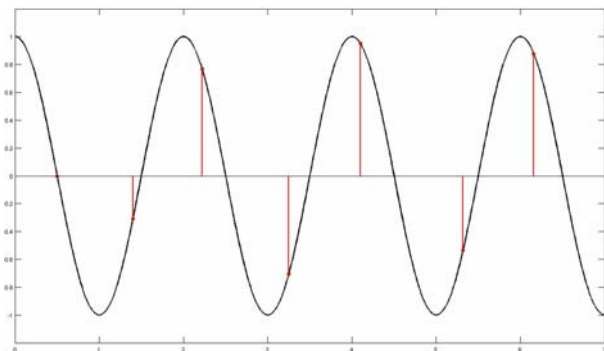
- augsta aprēķinu veiktspēja,
- ērta lietotāju interfeisu veidošana,
- vienkārša (unificēta) datora aparatūras portu izmantošana.

Virtuālo instrumentu veidošanai labi piemērota ir LabVIEW vide.

Paldies par uzmanību!

670 MHz joslas 12-bitu signālu reģistrators

Igors Homjakovs



- ✓ Funkcionalitātes apraksts
- ✓ Darbības princips
- ✓ Struktūra
- ✓ Programmnodrošinājums
- ✓ Interfeiss ar datoru
- ✓ Pielietojumi

Reālā laika iekārta

Nevienmērīga diskretizācija

Signālu frekvenču josla
no zemfrekvences līdz 669Mhz

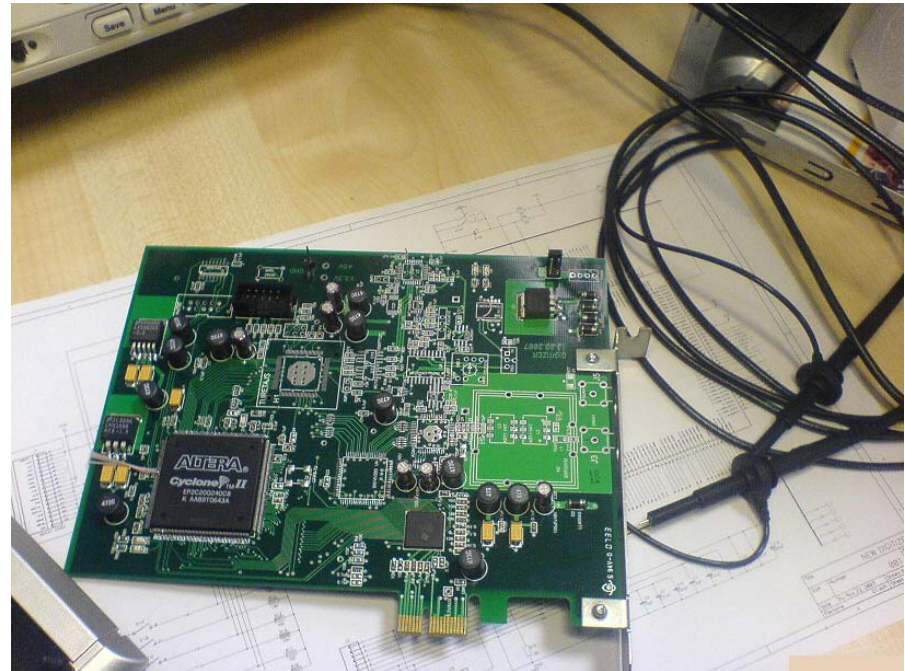
10 mV/iedaļa līdz 5 V/iedaļa
vertikālā izvērse

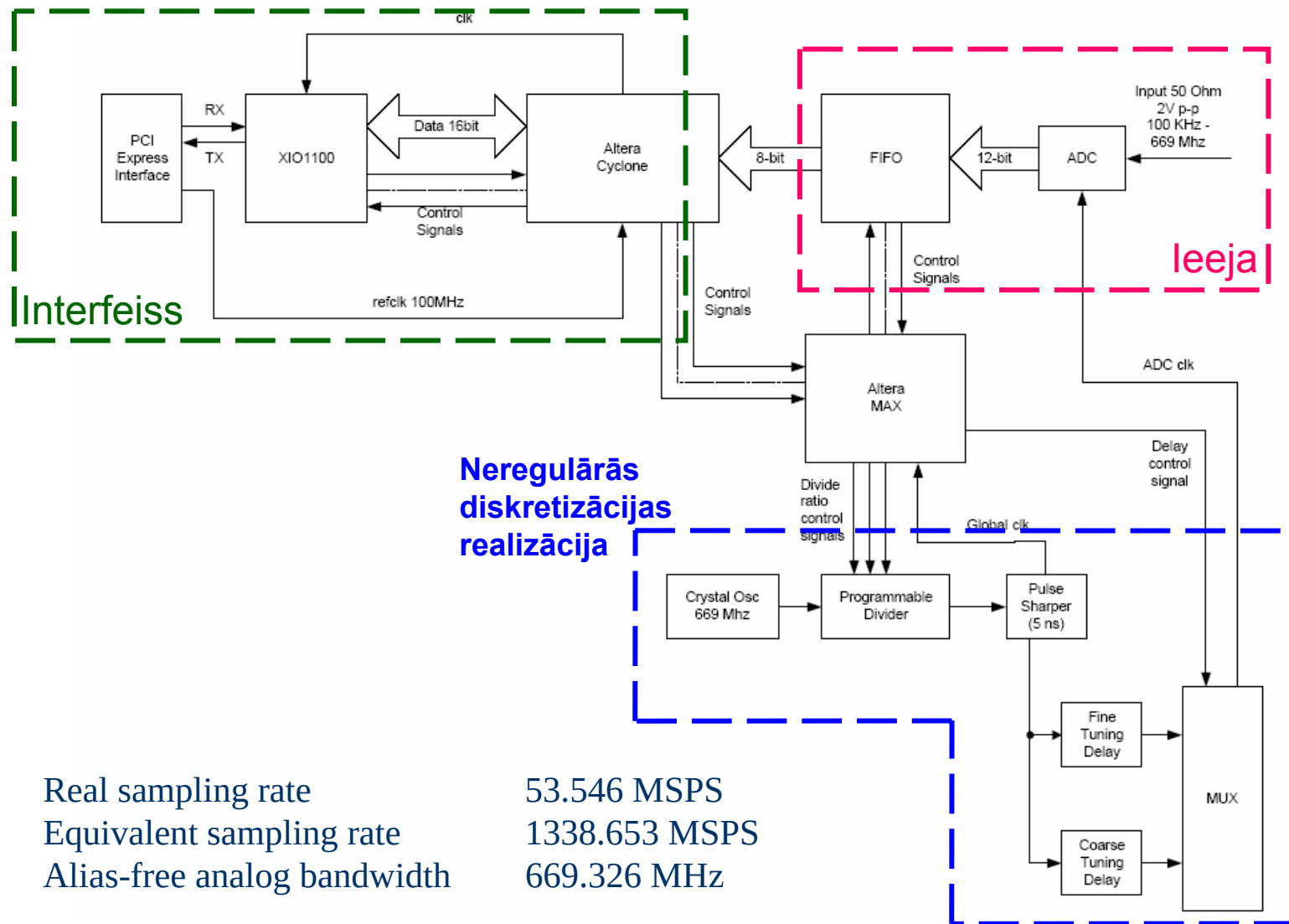
Iebuvēta 64K atmiņa

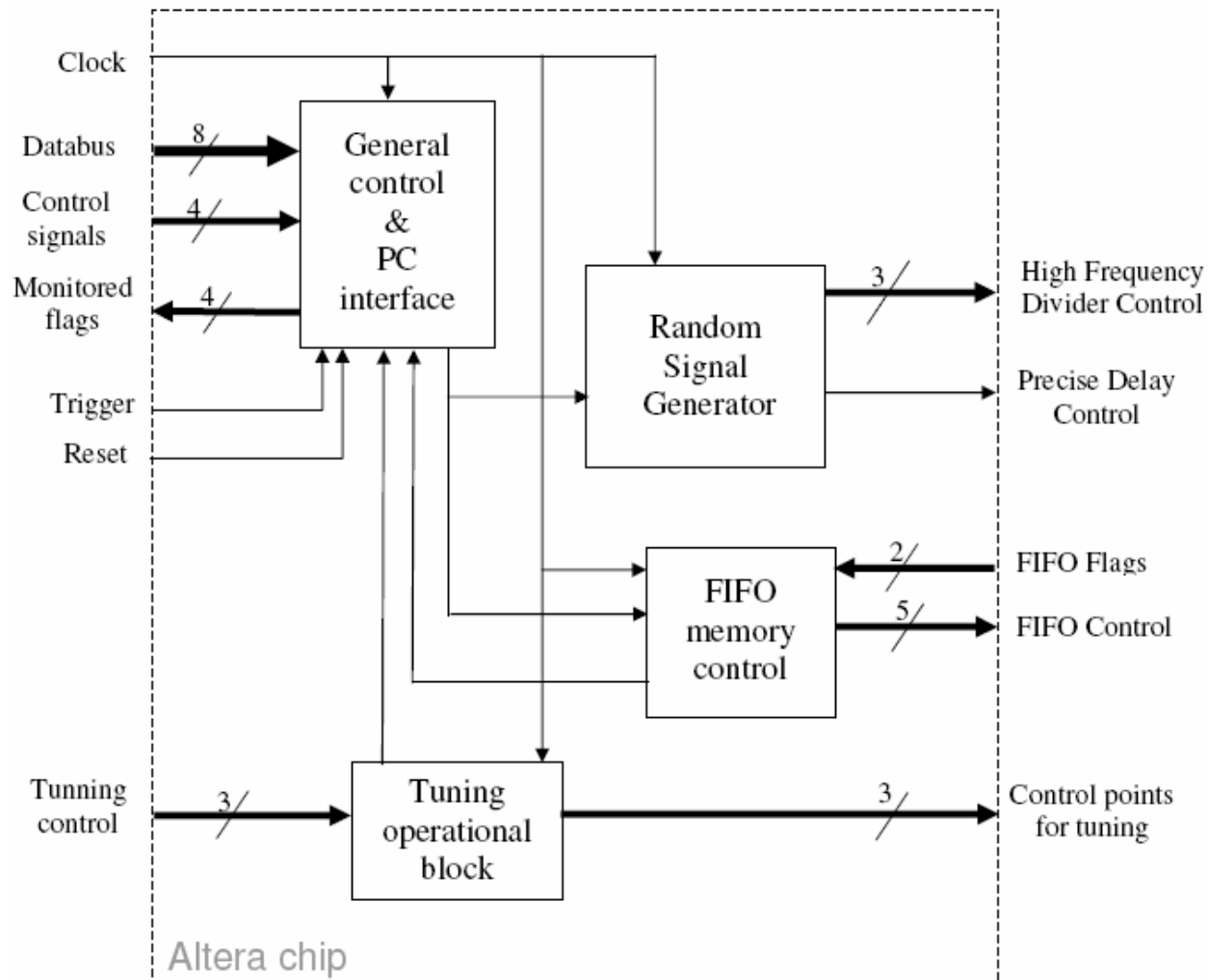
Zoom In, Zoom Out iespējas

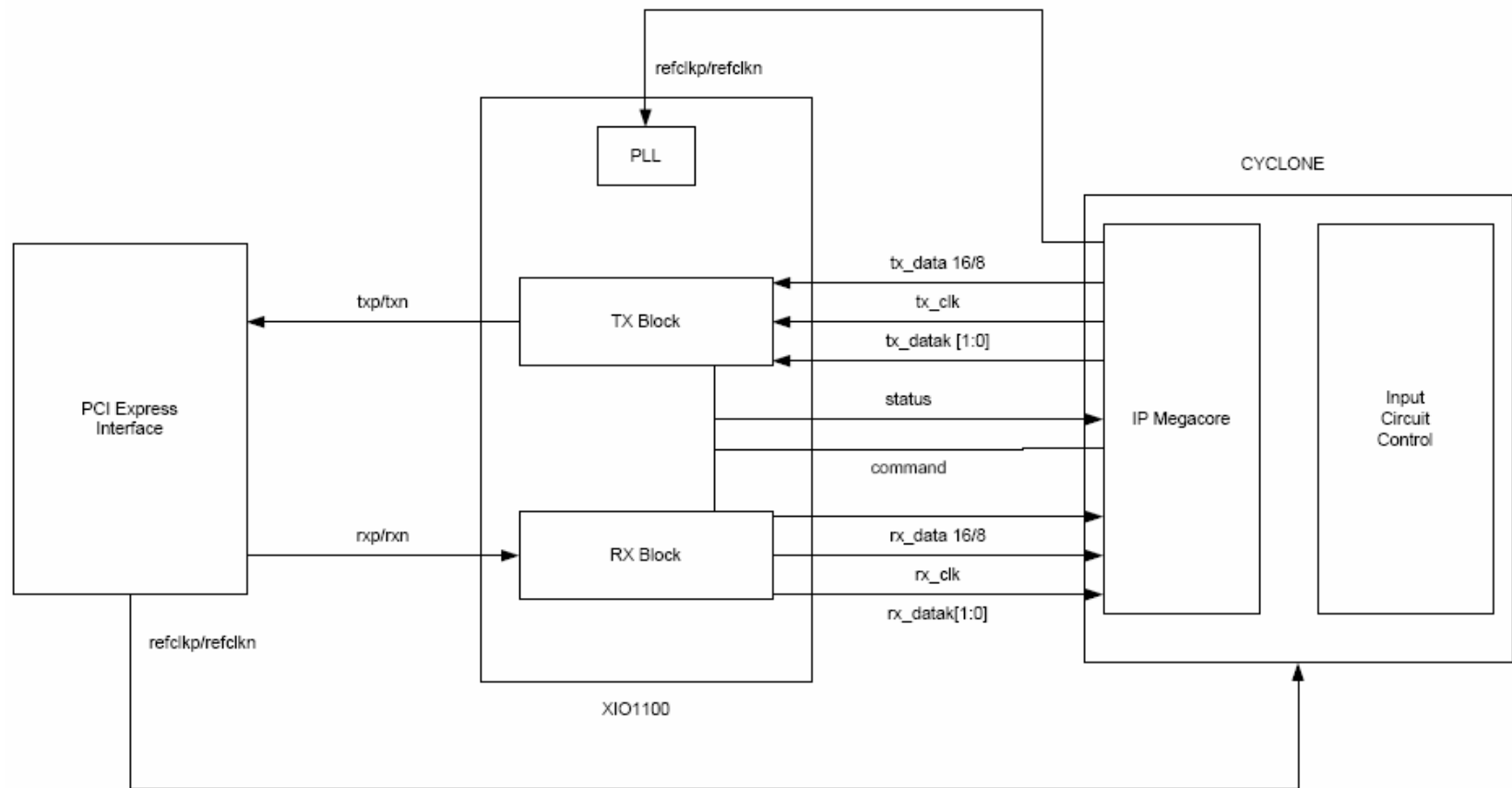
Sinhronizācijas līmenis ir maināms visā ekrāna diapazonā

Iespēja novērot signālu pirms un pēc sinhro impulsa
(ar maināmu reģistrēšanas apjomu).

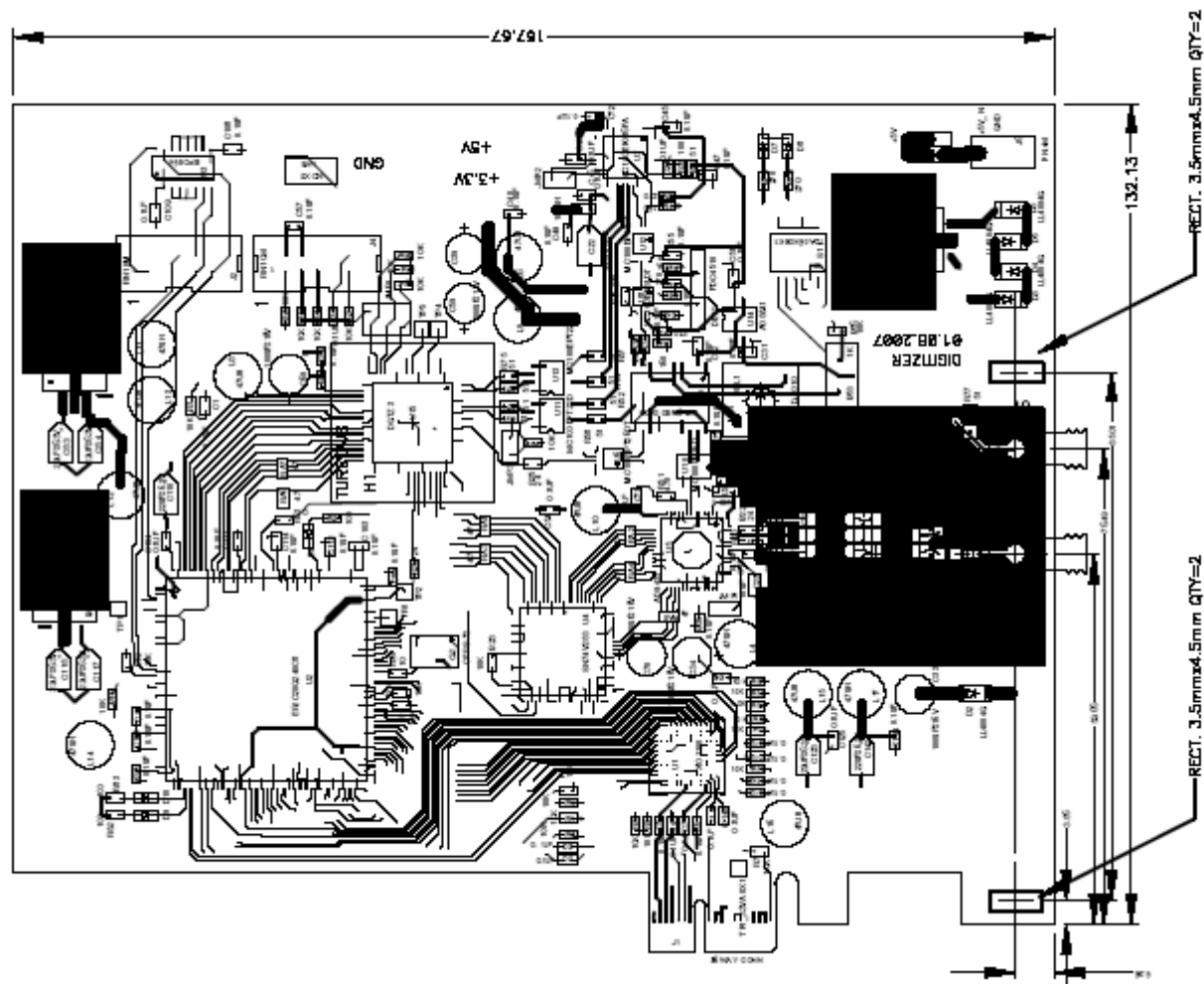








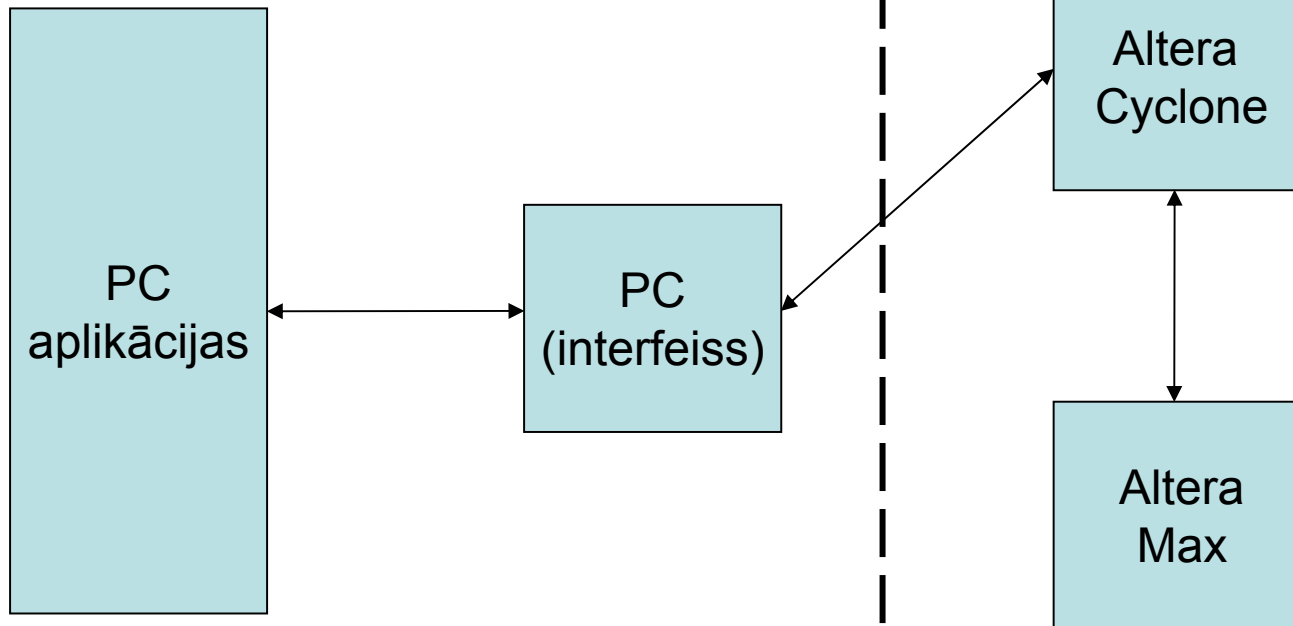
6 slāņu
spiestā plate



Izpildījums

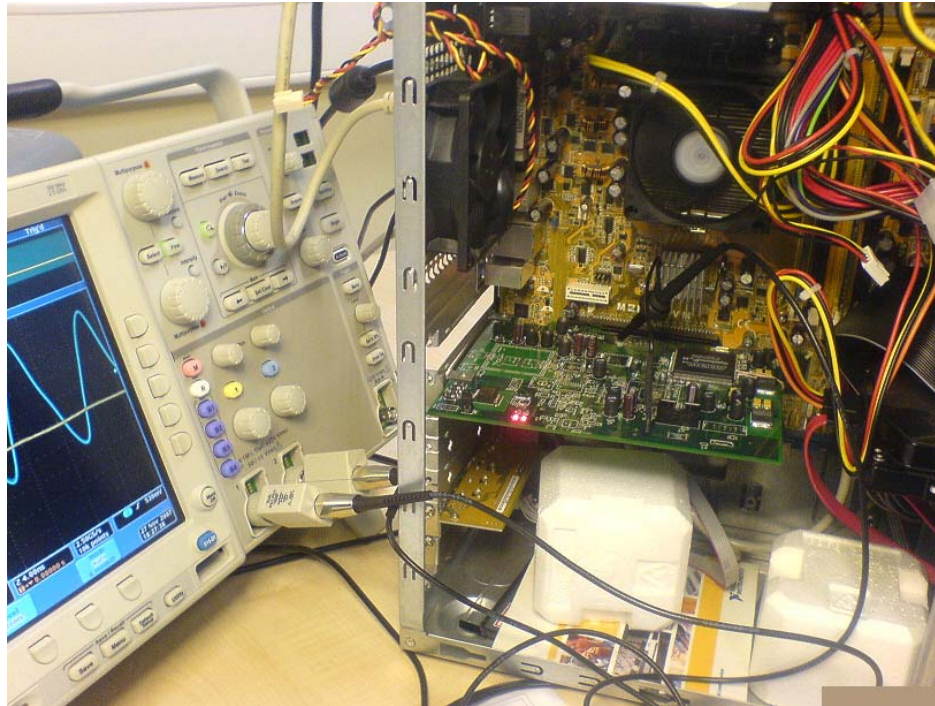
Dators

Reģistrātors



Programnodrošinājums

Ieejas pretestība:	50 Ohm
Maksimālā ieejas signāla vērtība:	2 Vp-p
Dinamiskais diapazons:	60 dB
Izšķirtspēja:	12 biti
Frekvenču diapazons:	100 KHz - 669 MHz
Interfeiss:	PCI Express x1
Maksimālais datu apmaiņas ātrums:	250 MB/s
Signāla ieeju skaits:	1
Barošana:	+3.3, +12 (no PC mātesplates))
Sinhro ieeju skaits:	1



**Platjoslas reālā laika datu reģistrācijas sistēmas
Software Defined Radio**

**Signālu analizātors
Osciloskops
Spektra analizātors**

Pielietojumi

Mazcenas signālu ģenerators un reģistrators

Gatis Šūpols
Māris Kalbergs

Prezentācijas saturs

- ***Signālu ģenerators***

- Funkcionalitāte

- Signāla ceļš no datora līdz izejai

- Signāla ciparu un analogā apstrāde

- Direct Digital Synthesis (DDS) bloka funkcionalitāte

- Tehniskie parametri

- ***Signālu reģistrators***

- Funkcionalitāte

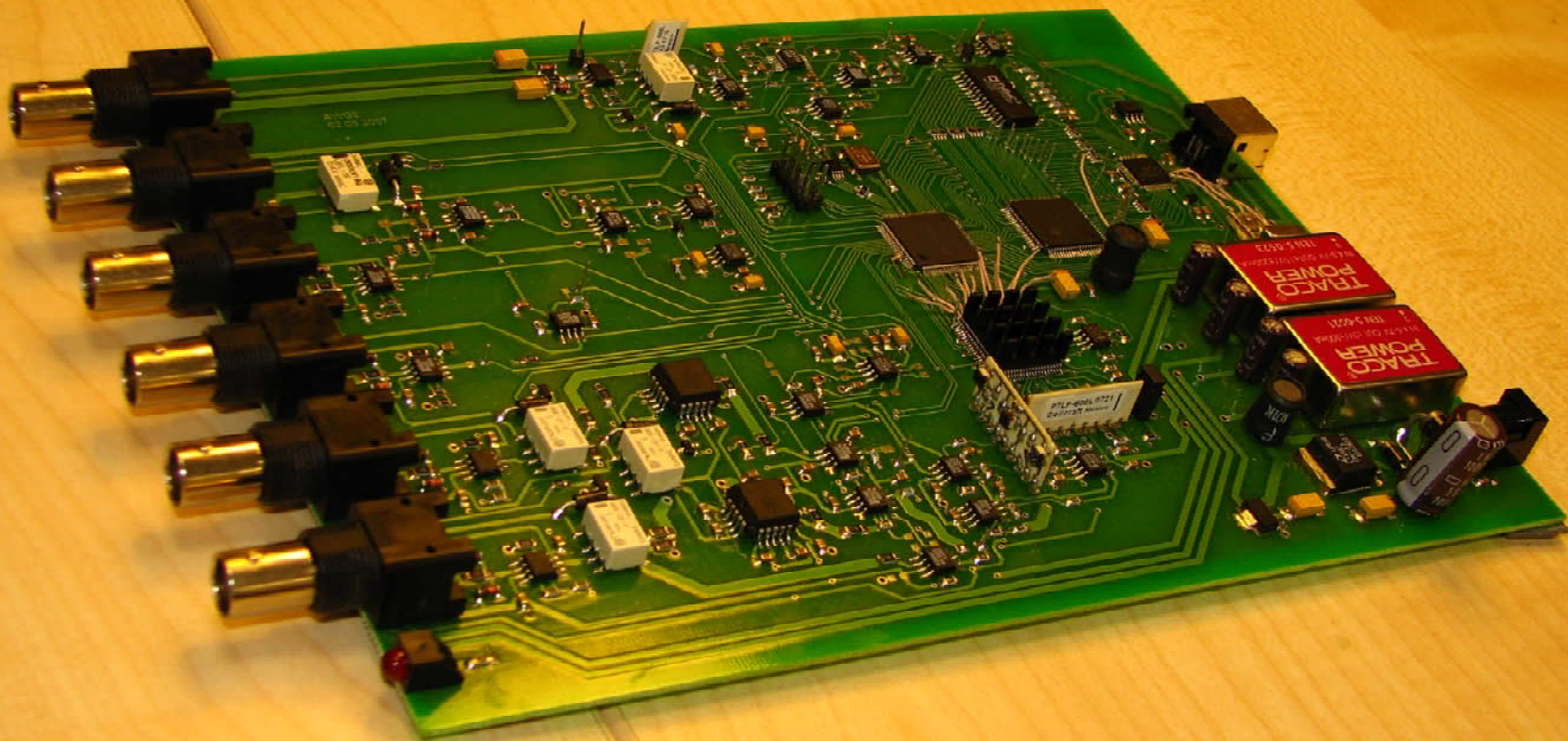
- Signāla ceļš no analogās vides līdz datoram

- Signāla analogā un ciparu apstrāde

- Neregulārā diskretizācija

- Tehniskie parametri

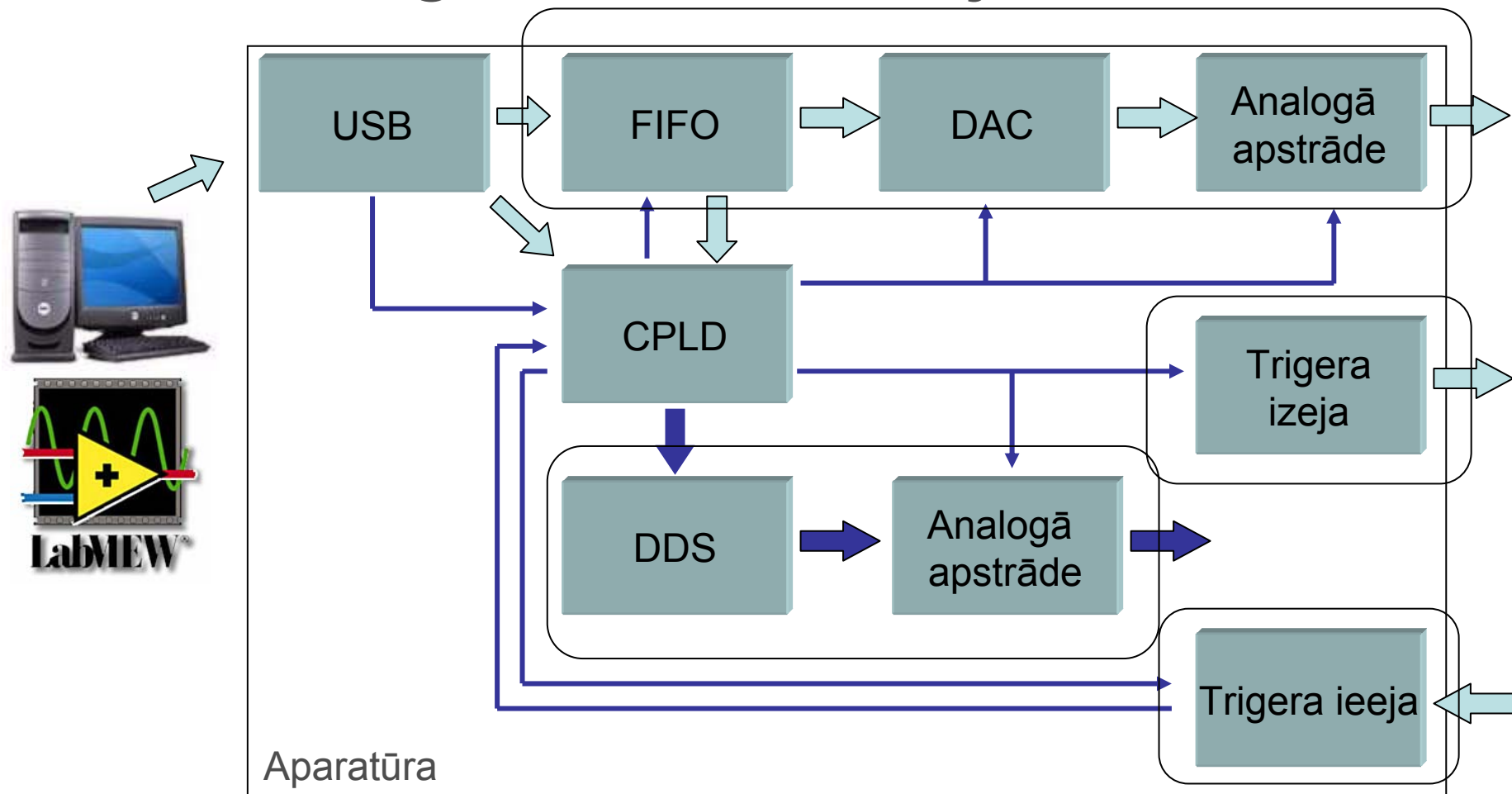
SIGNĀLU ĢENERATORS



Funkcionalitāte

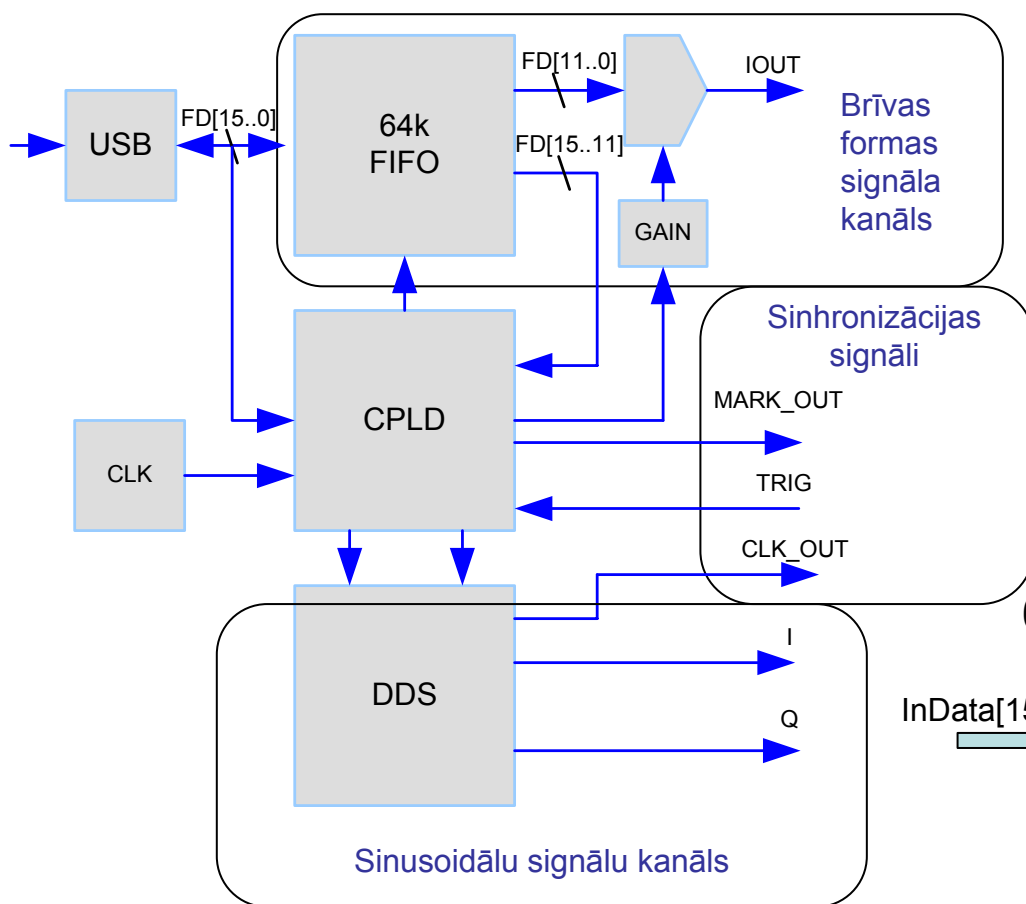
- Iespēja ģenerēt brīvas formas signālu frekvenču diapazonā līdz 1MHz, signāla maksimālais garums ir 65355 nolases.
- Iespēja ģenerēt divus sinhronus, savā starpā fāzē nobīdītus sinusoidālus signālus, fāzes nobīde ir nemainīga, nobīdes leņķis 180 grādi. Ģenerējamo signālu diapazons līdz 60 Mhz.
- Plašas modulētu signālu iegūšanas iespējas: Fāzes manipulācija (BPSK); amplitūdas modulācija (AM), manipulācija (ASK); frekvences modulācija (FM), manipulācija (FSK); kombinētā fāzes/amplitūdas manipulācija (QAM).
- Sinhronizācijas signāla (Clock Generator) ģenerators ar maināmu impulsa garumu (aizpildījuma koeficientu).
- Iespēja veikt amplitūdas modulāciju (AM) ar brīvas formas kanāla signālu, kā arī vienas sāņjoslas (SSB) amplitūdas modulāciju ar brīvas formas kanāla signālu.
- Universālā sinhronizācijas/manipulācijas ieeja pieļauj iespēju ģenerēt tikai vienu signāla periodu, kā arī tiek izmantota kā dažādu modulācijas veidu vadības ieeja (BPSK, FSK, AM).
- Sinhro signāla izeja ļauj sinhronizēt brīvas formas signālu ģeneratoru ar citu ārēju reģistrējošo ierīci.
- Iespēja ģenerēt komplicētu signālu, izmantojot signāla matemātisku pierakstu kā arī uzzīmēt signāla formu ar peles palīdzību.

Signāla ceļš no datora līdz ģeneratora izejai



Ģenerators ciparu datu apstrāde

Ciparu daļas blokshēma



FIFO atmiņas izmantošanas veidi:

- Vienreizējs 64k režīms
- Reālā laika režīms (30MB/s)
- Cikliskais režīms

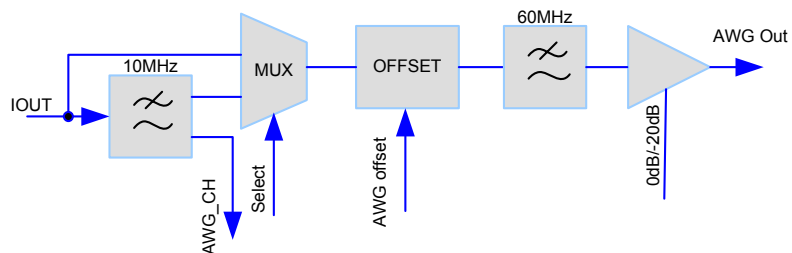
FIFO režīmu attēlojums



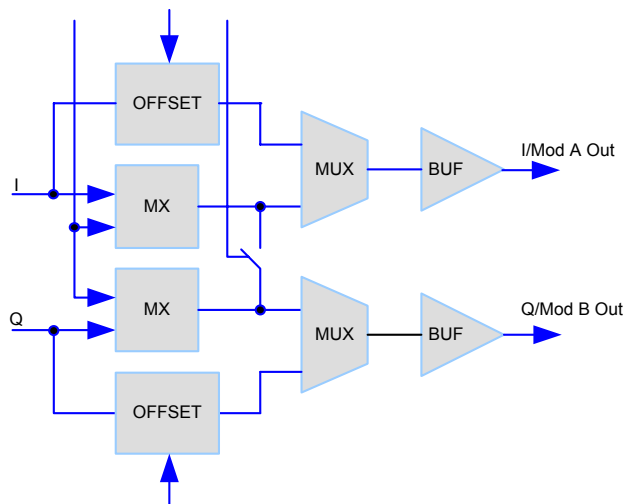
Gatis Šūpols

Ģenerators analogā signāla apstrāde

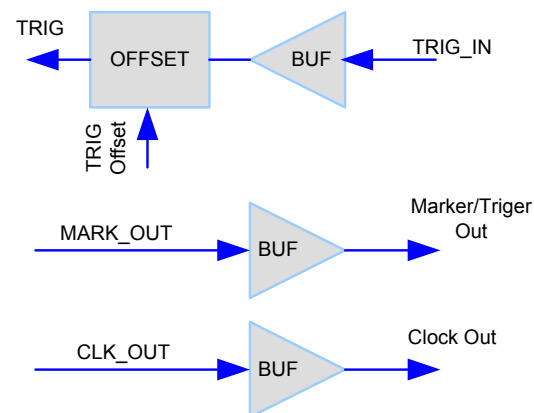
Brīvas formas signāla kanāls



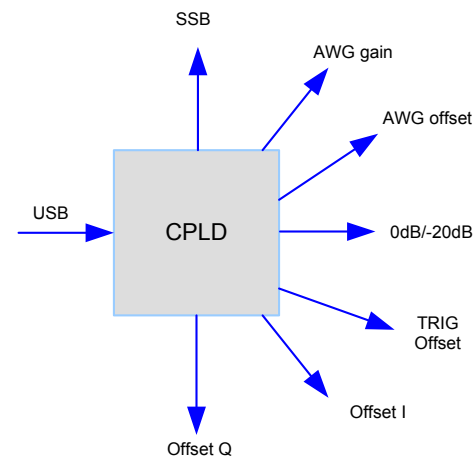
Sinusoidāla signāla (DDS) kanāli



Sinhronizācijas kanāli



Vadības realizācija

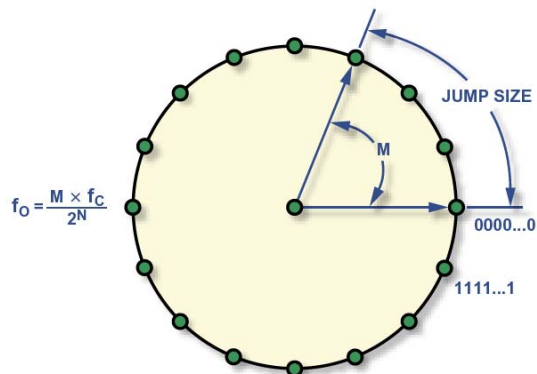
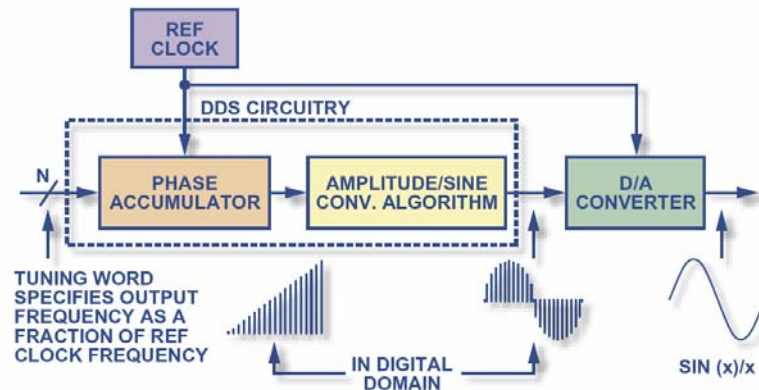
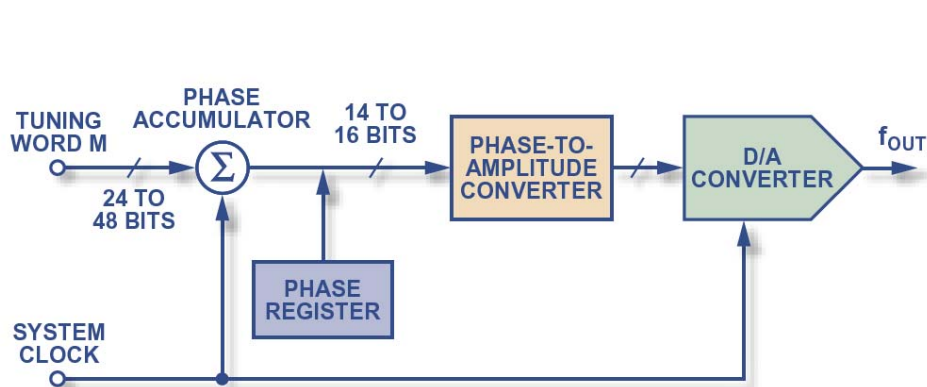


Gatis Šūpols

Direct digital synthesis (DDS)

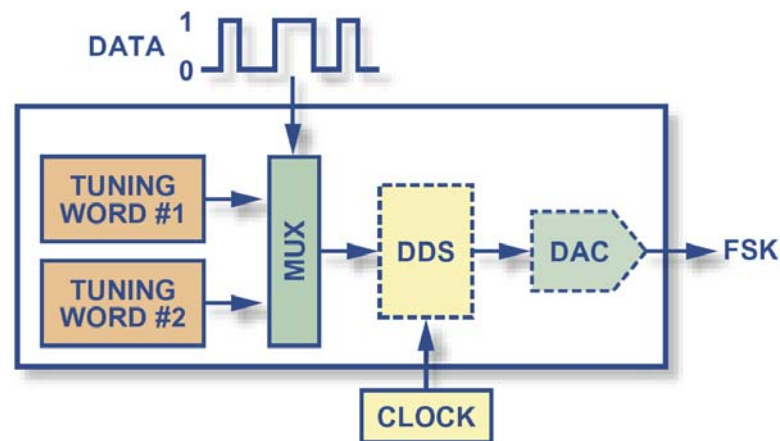
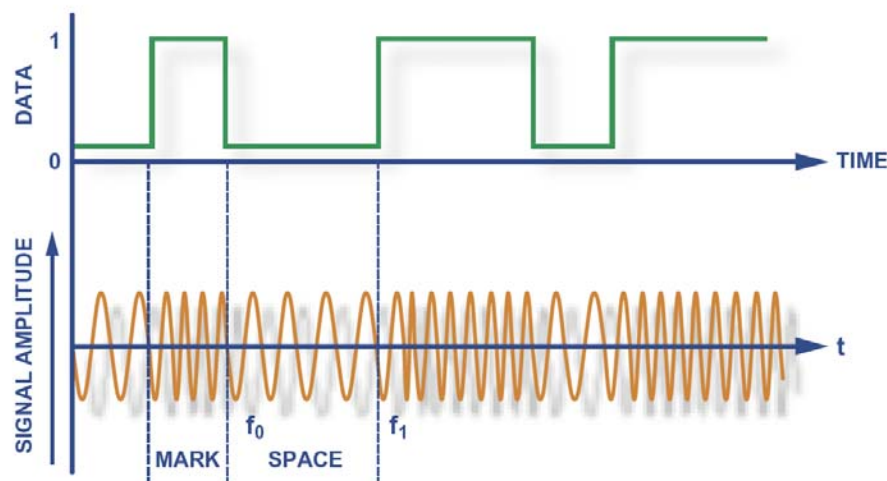
- Darbības pamatā:
 - Ciparu formā ģenerēta signāla pārveide analogā signālā
- Priekšrocības:
 - Smalka frekvenču un fāzes maiņas iespēja
 - Ātra frekvenču un fāžu maiņa
 - Parametru ciparu vadība
 - Plašas modulācijas iespējas

DDS uzbūve

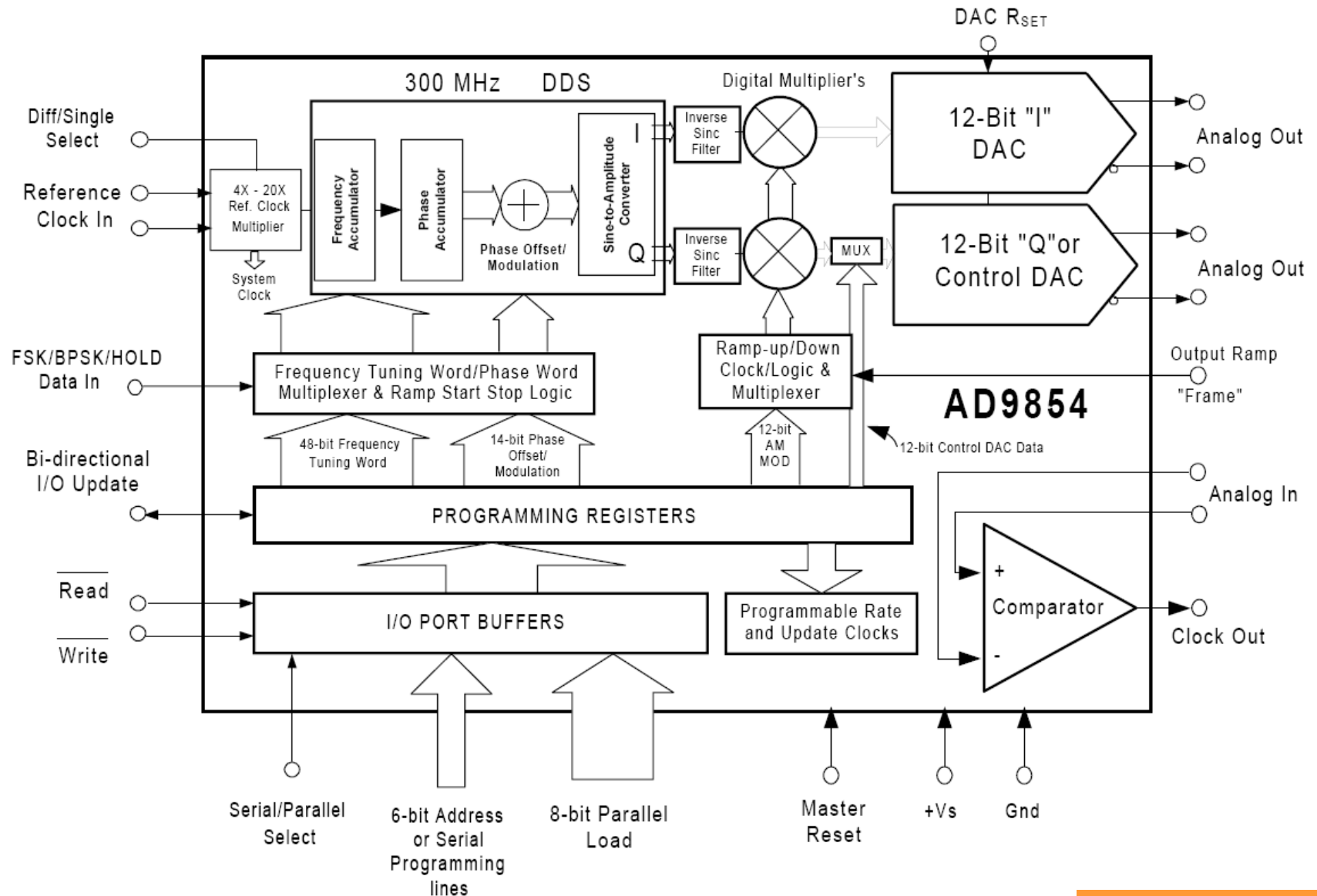


n	NUMBER OF POINTS
8	256
12	4096
16	65535
20	1048576
24	16777216
28	268435456
32	4294967296
48	281474976710656

DDS FSK modulācijas iespēja



Izmantotā DDS blokshēma



Tehniskie parametri

Galvenie parametri:

- 1 Brīvas formas analoga signāla izeja
- 2 sinusveidīgu/modulētu signālu izejas
- 1 Testa signāla izeja
- 1 Sinhronizācijas ieeja
- 1 Sinhronizācijas (Markera) izeja

Brīvas formas analogā signāla kanals:

- Izejas pretestība: $50\ \Omega$
- Izejas vājinājums: 0dB vai -20dB ;
- Izejas signāla amplitūdas diapazons:
 - 1) $\pm 10\text{mV} \dots \pm 1\text{V}$ (-20dB);
 - 2) $\pm 100\text{mV} \dots \pm 10\text{V}$ (0dB);
- Vertikālā izšķirtspēja: 12bit ;
- Nulles nobīdes maiņas diapazons:
 - 1) $-0.5\text{V} \dots +0.5\text{V}$;
 - 2) $-5\text{V} \dots +5\text{V}$;
- Signāla frekvenču diapazons:
 - a) Sinusiodalam signālam: $0 \dots 10\text{Mhz}$
 - b) Brīvas formas signālam: $0 \dots 1\text{Mhz}$

Atmiņa: $64\text{K} \times 12\text{bit}$

Filtrs: 10Mhz vai atslēgts (60Mhz)

Izjezas aizsardzība pret īslegumu:

neierobežota laika;

Signāla generācija (veidošana):

Signāla atmiņas ietilpība: 65536 nolašu;

Maksimālais izjezas datu izmaiņas ātrums:

(max output update rate) 100 000 000 nolases/s;

Darbības režīmi: *Periodisks, Impulsveida;*

Dalīti sinusa/modulēta un kosinusa/modulēta signāla kanāli:

Sinusoidāla/kosinusoidāla izjezas signāla (nesējsignāla) frekvenču diapazons: $10\text{Hz} - 60\text{Mhz}$;

Modulējošais signāls: *Brīvas formas kanāla signals;*

Barošanas bloks:

Ārējais +5V, 1A;

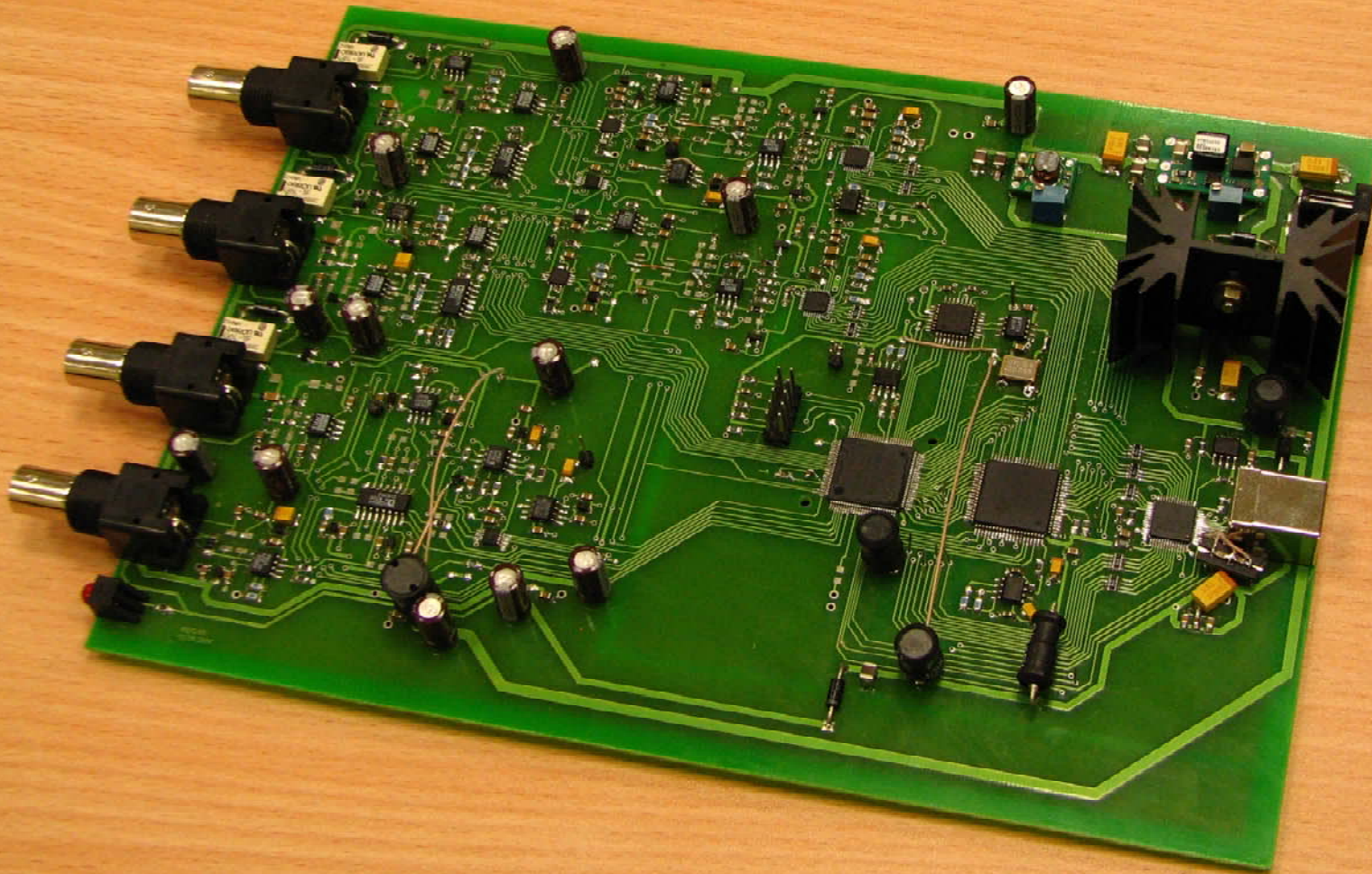


Pirms turpinām...

Vai ir kādi jautājumi?



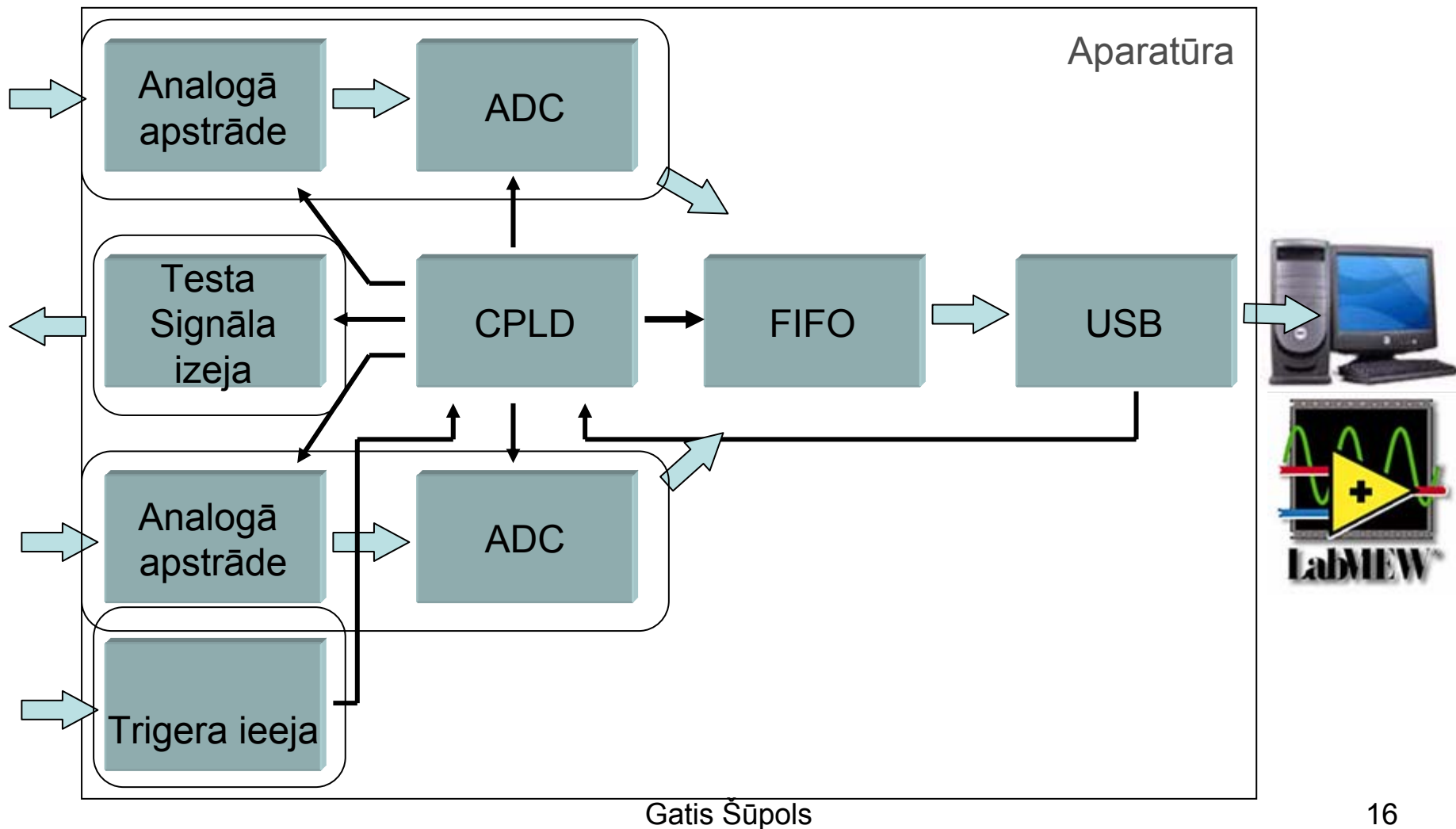
REGISTRATORS



Funkcionalitāte

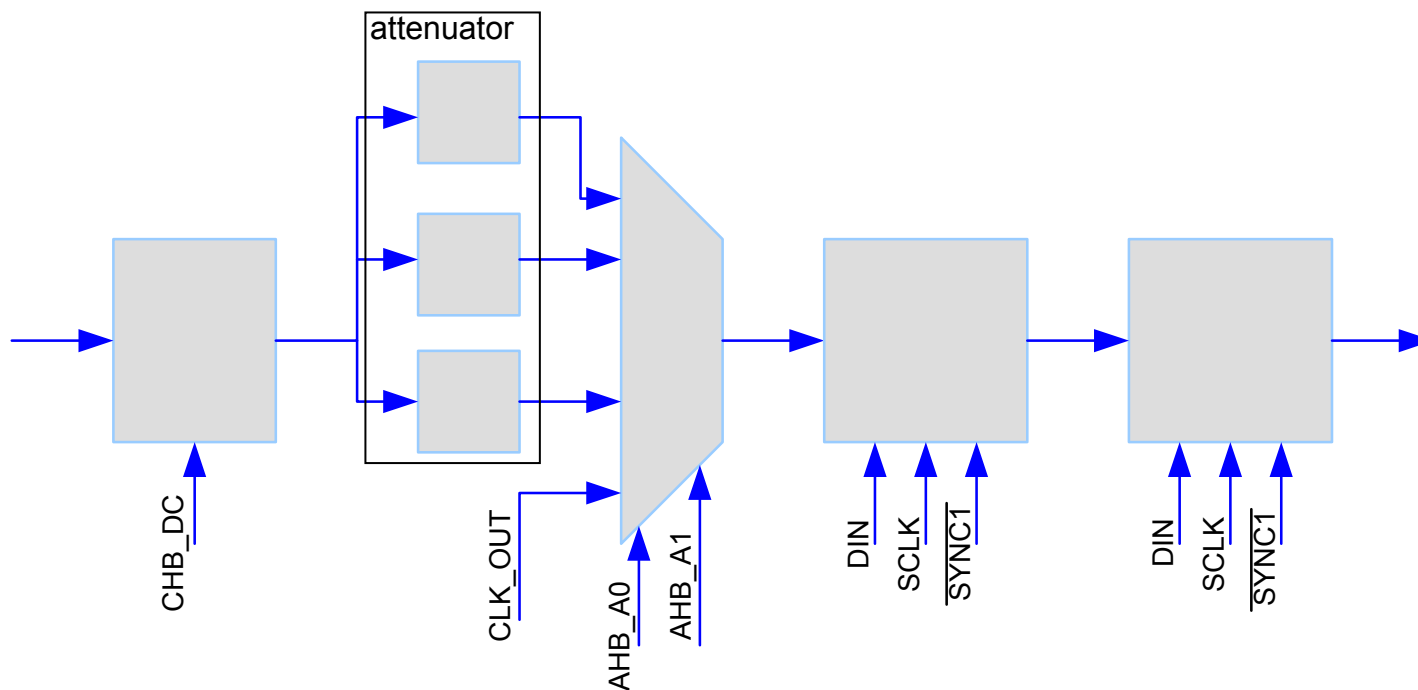
- Signālu frekvenču josla no zemfrekvences līdz 50Mhz (līdz 100MHz pielietojot nevienmērīgo diskretizāciju)
- 10mV/iedaļu līdz 5V/iedaļu vertikālā izvērse abiem kanāliem
- Divi neatkarīgi kanāli CH1 un CH2.
- X-Y attēlošanas iespēja
- Pirms un pēc sinhronizācijas iespēja, ļauj novērot signālu pirms un pēc sinhro impulsa. Iespējams mainīt pirms vai pēc sinhronizācijas datu reģistrēšanas apjomu.
- Sinhronizācijas līmeņi abiem kanāliem maināmi visā oscilogrāfa ekrāna diapazonā.
- Papildus ārēja sinhronizācijas ieeja. Līmenis maināms +/- 5V diapazonā
- Var izmantot standarta 1:1, 1:10, 1:100 oscilogrāfu kabeļus, tādā veidā palielinot novērojama signāla diapazonu
- Nulles nobīdes realizācija pirms ACP ļauj pilnīgāk izmantot ACP dinamisko diapazonu un novērot mazu signālu uz liela līdzkomponentes fona.
- Testa signāla izeja. Taisnstūra veida testa signāls ar nemainīgu amplitūdu 3V, bet maināmu aizpildes koeficientu. Paredzēts oscilogrāfa kabeļu kompensācijai, ierīces kalibrācijai, kā arī kā sinhronizācijas izeja.
- Automātiska kalibrācija

Signāla ceļš no analogās vides līdz datoram



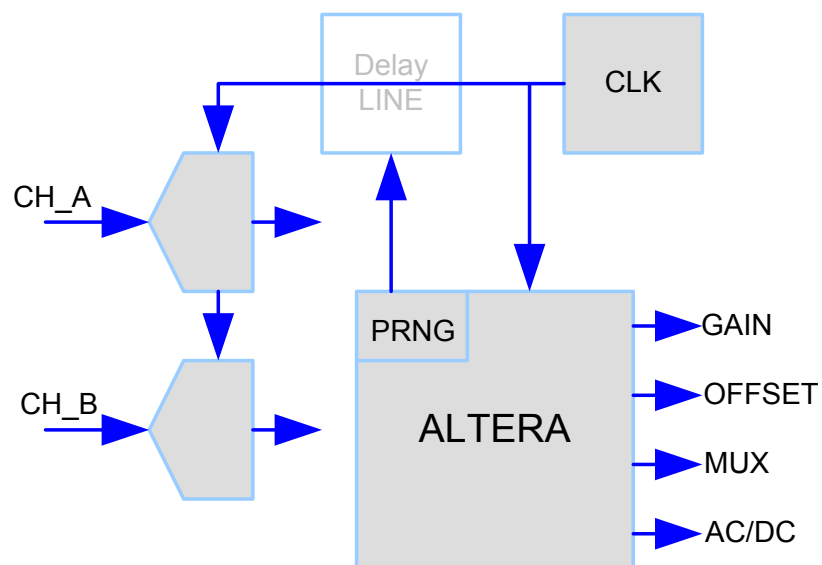
Reģistratora analogā signāla apstrāde

Reģistratora viena kanāla ieejas blokshēma

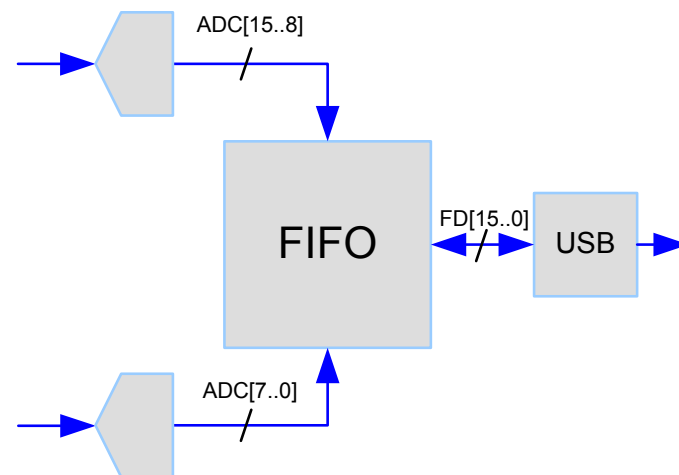


Reģistratora ciparu datu apstrāde

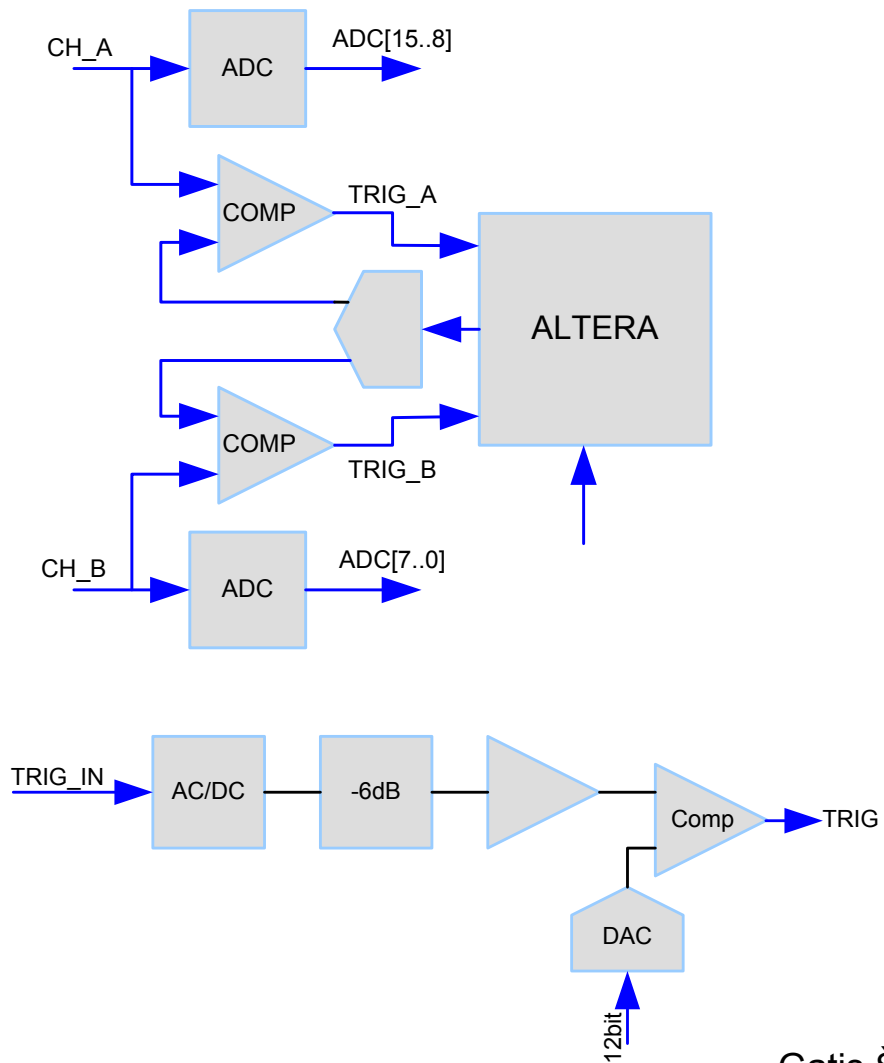
Datu ieguves blokhēma



Datu plūsmas blokhēma



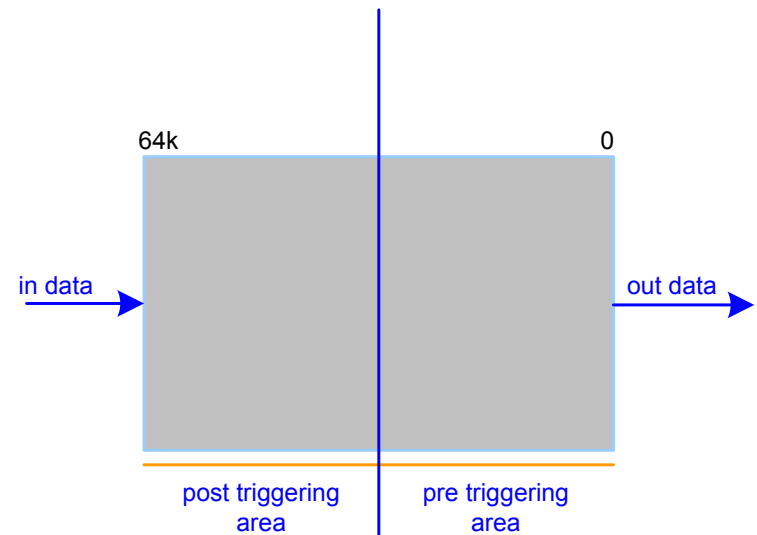
Sinhronizācijas iespējas



Sinhronizācijas signāls:

- Kanāls A
- Kanāls B
- Ārējais sinhronizācijas signāls

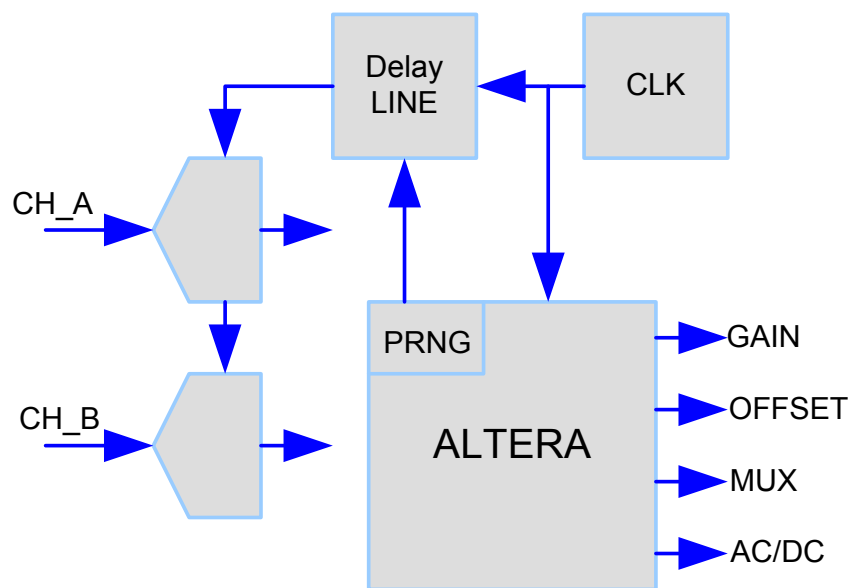
FIFO izmantošanas blokshēma



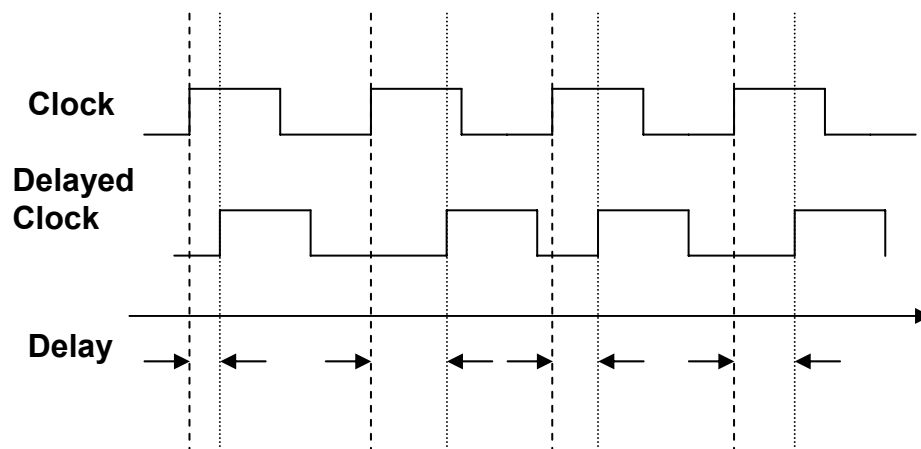
Gatis Šūpols

Neregulārā diskretizācija

Realizācija



Laika diagrammas



Tehniskie parametri

Galvenie parametri:

Ieeju skaits: *2 kanali, 1 ārējs triggers;*

Izeju skaits: *1 testa signāla izeja;*

Vertikālās izvērses sistēma:

Iedaļu skaits: *8*

Pikseļu skaits uz vienu iedaļu: *32*

Izvērses diapazons: *10mV...5V/ied.*

Kļūda: *±2%*

Izšķirtspēja: *8 biti (0.39%)*

Frekvenču diapazons (-3dB):

DC: 0-100MHz, AC: 1.6Hz-100MHz

Ieejas pretestība: *1MΩ*

Ieejas kapacitāte: *30 pF*

Maksimālais ieejas spriegums: *±50 V*

Dinamiskais diapazons: *50dB;*

Horizontālās izvērses sistēma:

Iedaļu skaits: *10*

Pikseļu skaits vienā iedaļā: *50*

Režimi: *Maināma sinhronizācijas pozīcija*

Ieraksta garums:

Laika izvērses ilgums: *5ns/ied...100ms/ied.*

Reāla laika diskretizācijas frekvence:

1kHz..100MHz

Ekvivalentā diskretizācijas frekvence:

400MHz

Testa generators

Signāla forma: *Taisnstūris*

Frekvenču diapazons: *1kHz...100 MHz*

Amplitūda: *3V*

Režimi: *Maināms impulsa aizpildījums*

Barošanas bloks:

USB (+5V@500mA) vai ārējais +5V@1A;

Paldies!

**PCI Express ierīču risinājumi
lieliem datu pārraides ātrumiem**

Igors Homjakovs

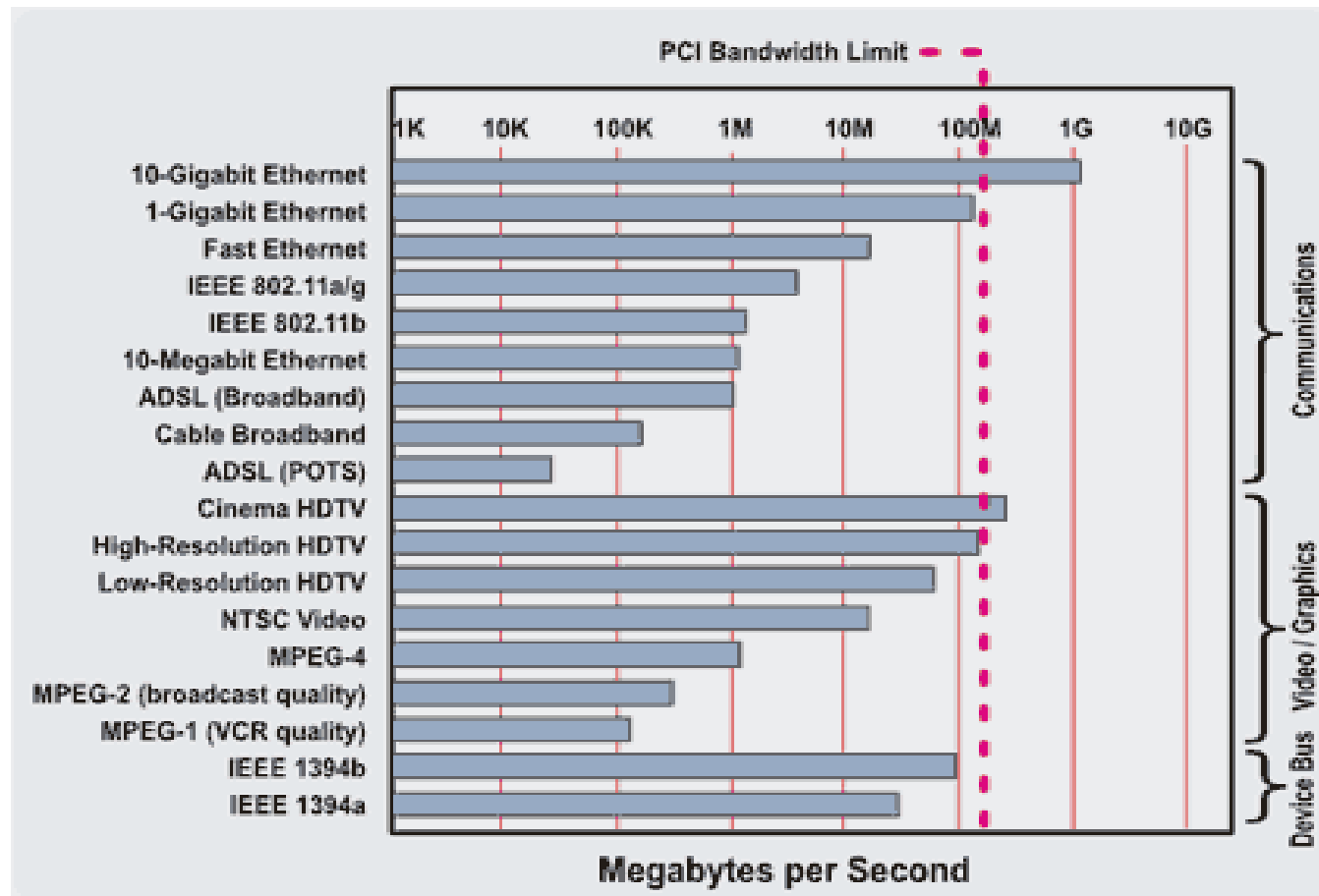
Saturs

- ✓ Dažādu interfeisu salīdzinājums
- ✓ PCI Express priekšrocības
- ✓ PCI Express arhitektūra
- ✓ Iespējamās realizācijas
- ✓ Kas ir PCI Express IP Core?
- ✓ Pielietojumi

Interfeisu salīdzinājums:

BUS	Ideal Bandwidth (MB/s)
GPIB	1.8 (488.1) 8 (HS488)
USB 2.0	60
Gigabit Ethernet	125
PCI	132
SATA	150
AGP 8X	2100
PCI Express	250 [500] (x1)
	500 [1000] (x2)
	1000 [2000] (x4)
	2000 [4000] (x8)
	4000 [8000] (x16)
	8000 [16000] (x32)

Dažādu tehnoloģiju ātrumi:



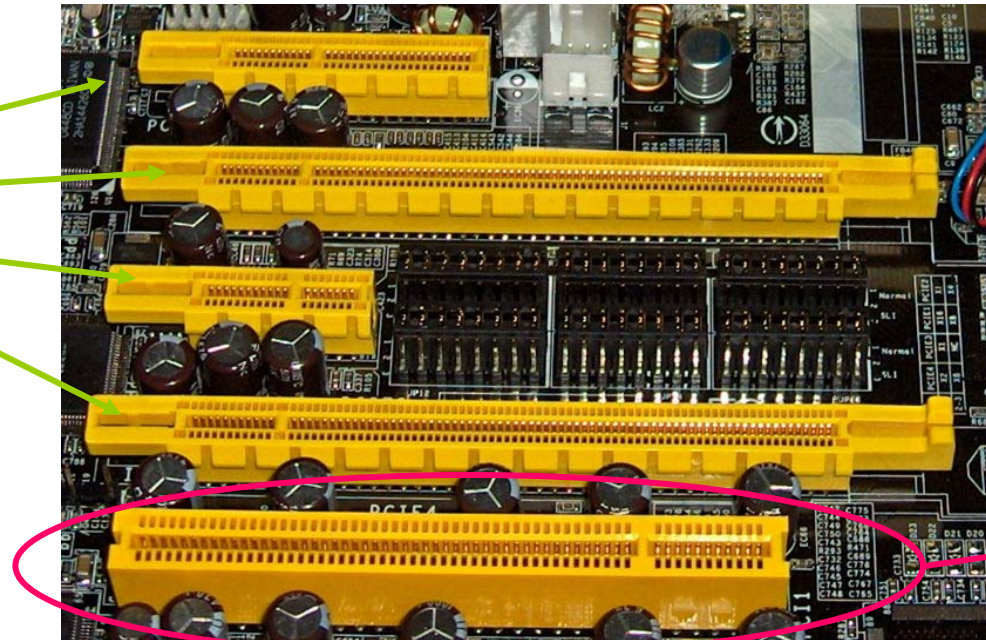
PCI Express

x4

x16

x1

x16



PCI

21. gs. sākumā tika izstrādāts jauns standarts (PCI-Express), kas lieto PCI kanāla slāņa protokolu un ir bāzēts uz virknes komunikācijam (atšķirībā no PCI, kas ir paralēls).

PCI Express priekšrocības:

- * Ātrums
- * Diferenciālo signālu lietošana → labāka noturība pret trokšņiem
- * Zems spriegums 0.8-1.2 Vp-p → zemāks enerģijas patēriņš
- * Virknes interfeiss → Nav “timing skew”
- * Mazāk izvadu → vieglāk trasēt
- * Programmiski savienojams ar PCI standartu
- * Nav nepieciešams kopējais atbalsta takts signāls → to iegūst no datiem

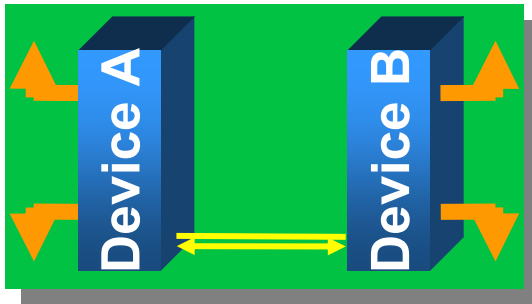
PCI Express arhitektūra

- **PCI Express iekārtas var lietot vairākas šūnas sasniedzot nepieciešamo ātrdarbību**

- Katra “šūna” ir divi diferenciālie vadi kuri nodrošina 250 MB/s ātrumu
- PCI Express var būt sekojošos izpildījumos x1, x4, x8, x16 un x32

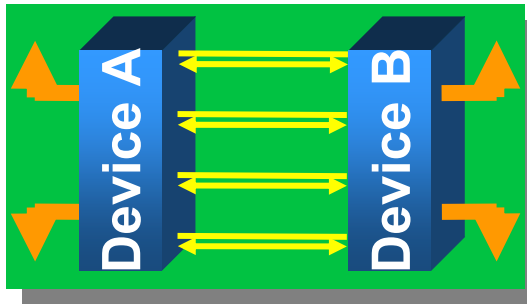
PCI Express x1

- PCI-E x1 sasniedz ātrumu **500MB/sec** pārsniedzot PCI 32-bit/33 MHz ātrumu **133MB/sec**



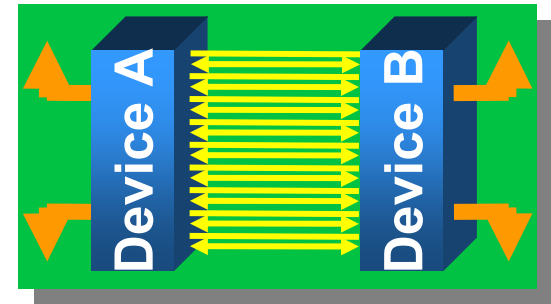
PCI Express x4 & x8

- 2 GB/Sec un 4 GB/Sec



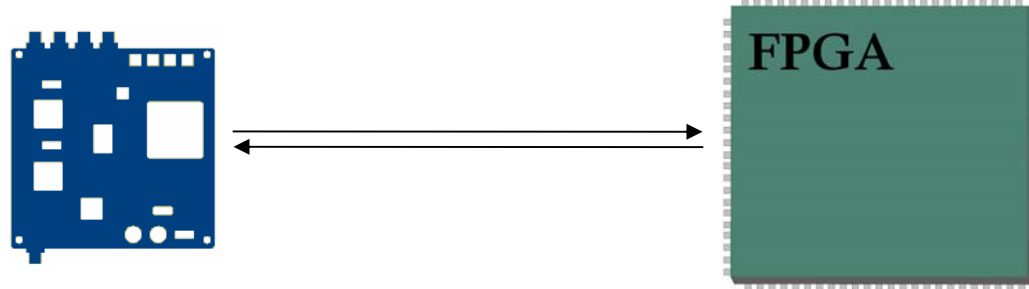
PCI Express x16

- 8 GB/Sec

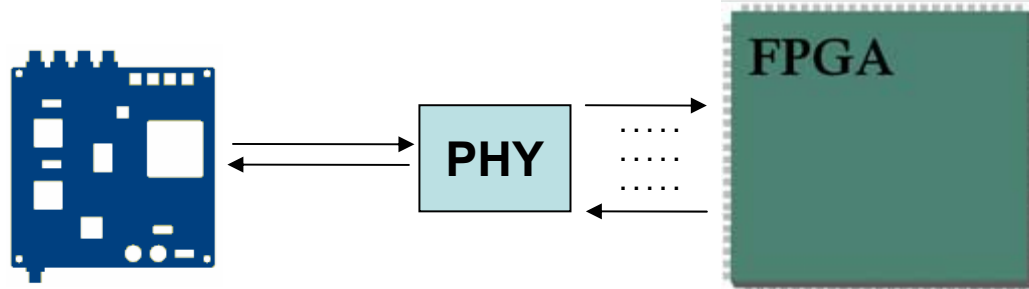


Pielietojumi

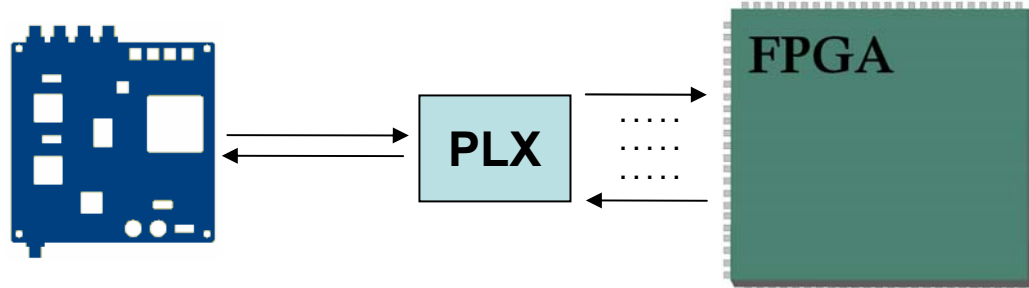
- Datu ieguves (acquisition) iekārtās.
- Serveros.
- Video/attēlu apstrādē.
- Reāla laika datu apstrādē.
- Signālu procesoru aplikācijās.



**Augstas cenas FPGA.
Dārgs PCI Express IP core.
Viegli lietojams.**

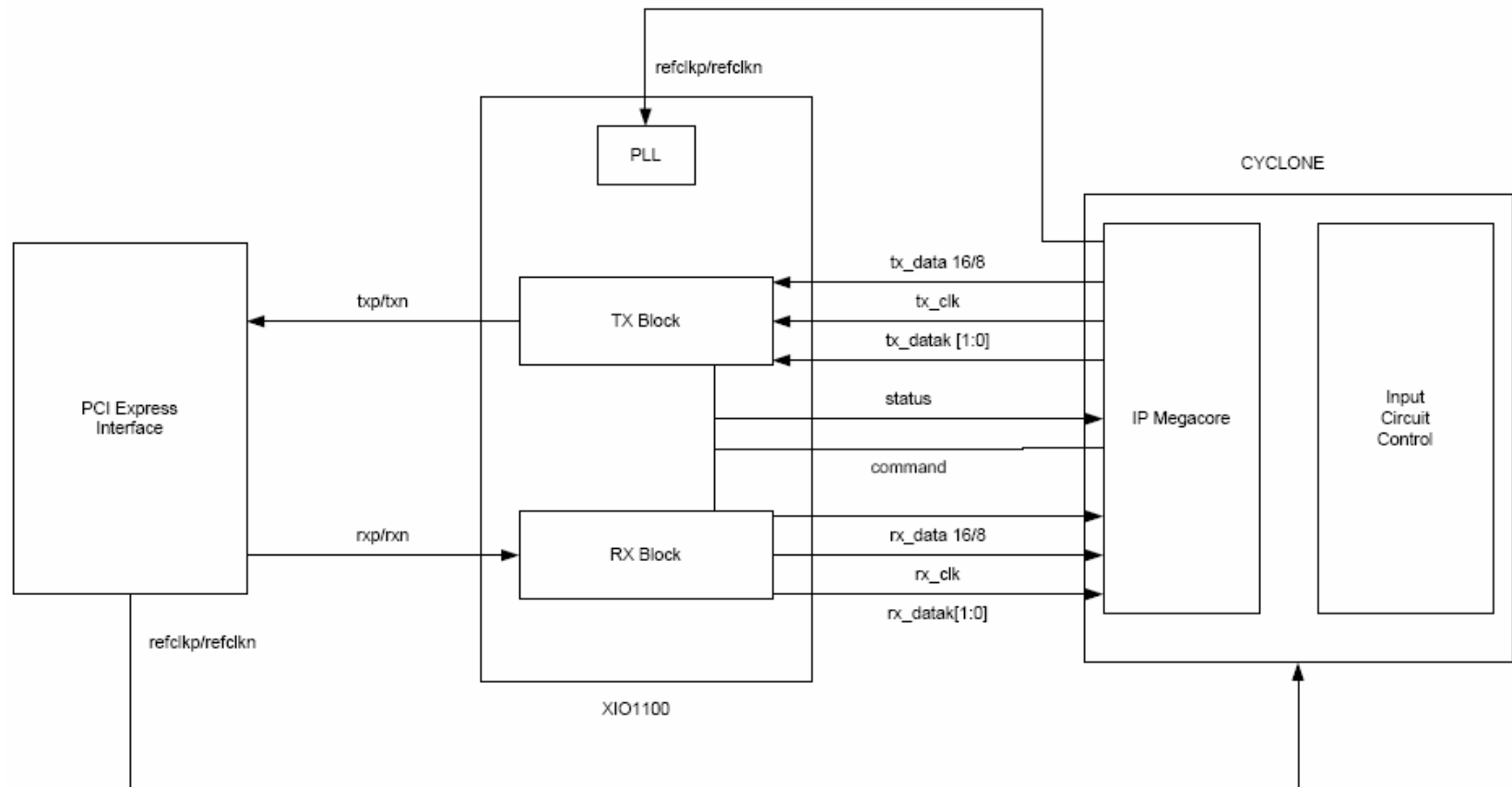


**Zemas cenas FPGA.
Dārgs PCI Express IP core.
Viegli lietojams.**



**Zemas cenas FPGA.
Nav nepieciešams
PCI Express IP core.
Grūtāka realizācija.**

PCI Express integrācija ar lietotāja funkcijām



PCI Express IP Core:

Priekšrocības:

Nav nepieciešama konvertācija uz citu interfeisu.

Var viegli un ĀTRI integrēt lietotāja funkcijas.

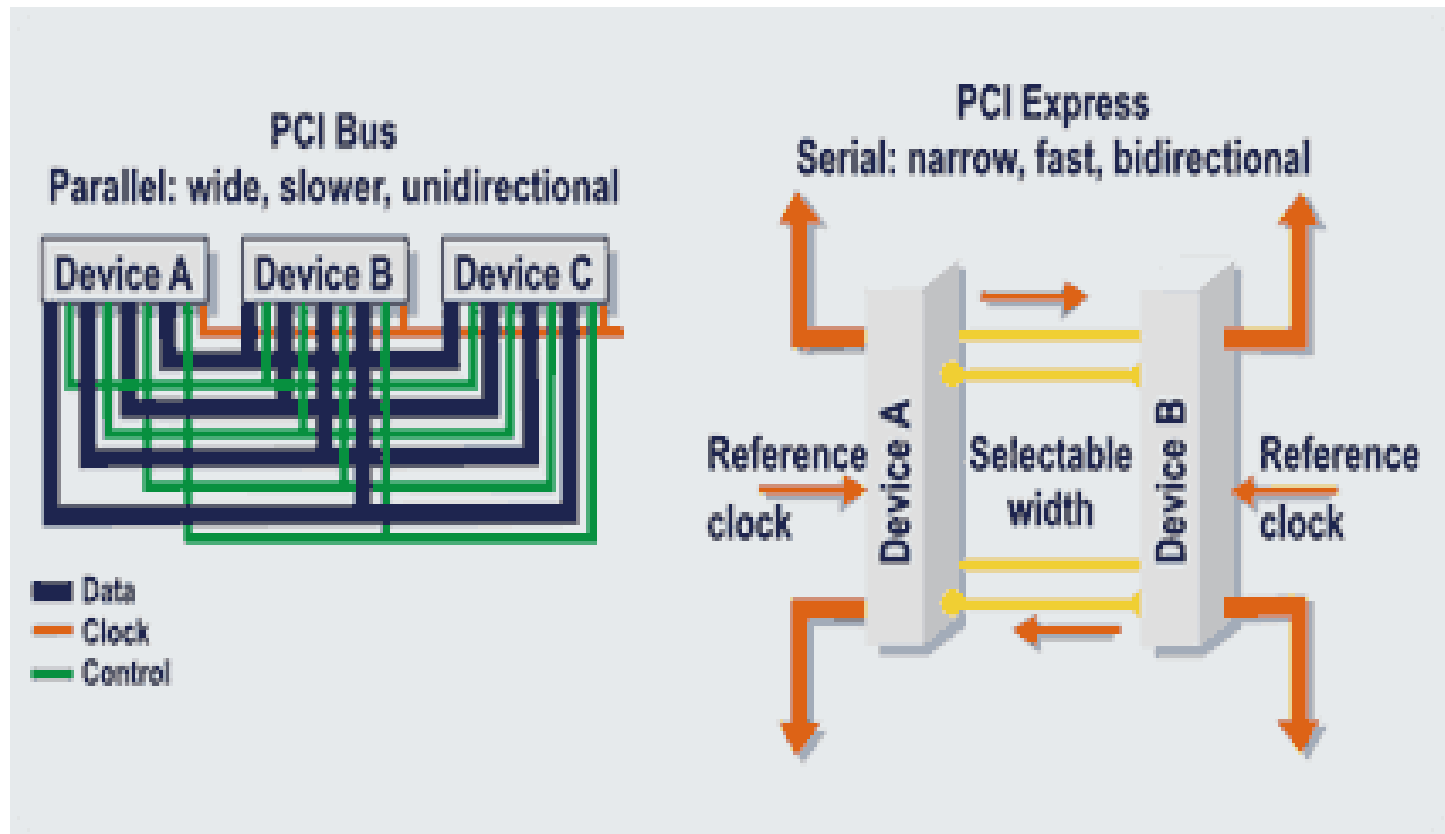
Elastīgs un ērti lietojams.

Trūkumi:

Augsta IP kodola cena.

Sarežģītāka realizācija (vairāk komponentu, savienojumu, aizņemtas vietas)

PCI un PCI Express salīdzinājums:



Izstrādes vides Quartus II piemērs IP Core izveidošanai

Parameterize - PCI Express Compiler

System Settings Capabilities Buffer Setup Power Management

PHY type: TI XIO1100 PHY interface: 16 bit SDR w/TxClk PHY pclk: 125 MHz

Lanes: x1 Internal datapath: 64 bits Internal clock: 125 MHz

Port type: Native Endpoint PCI Express version: 1.1

PCI Base Address Registers (Type 0 Configuration Space)

BAR	BAR Type	BAR Size
1:0	64-bit Prefetchable Memory	16 MBytes - 24 bits
2	32-bit Non-Prefetchable Memory	256 KBytes - 18 bits
3	Select Type to Enable	
4		
5		
N/A		
EXP ROM	Select to Enable	

Info: License ordering code for the selected configuration is IP-PCIE/1, IP-PCIE/4 or IP-PCIE/8.
 Info: Native Endpoint implementation requires MSI message 64-bit address capability.
 Info: Native Endpoint implementation doesn't support I/O or 32-bit Prefetchable memory BAR types.

Cancel < Prev Next > Finish

Izstrādes vides Quartus II piemērs IP Core izveidošanai

Parameterize - PCI Express Compiler

System Settings | **Capabilities** | Buffer Setup | Power Management

PCI Read-Only Registers

Device ID: 0x0007	Class code: 0xFF0000	Subsystem ID: 0x0007
Vendor ID: 0x1172	Revision ID: 0x01	Subsystem vendor ID: 0x1172

General Capabilities

- ☒ Link common clock
- ☐ Implement advanced error reporting
 - ☐ Implement ECRC check
 - ☐ Implement ECRC generation
- Link port number: 0x01

Device Capabilities

Tags supported: 32

MSI Capabilities

MSI messages requested: 4

- ☒ MSI message 64-bit address capable

Info: License ordering code for the selected configuration is IP-PCIE/1, IP-PCIE/4 or IP-PCIE/8.
Info: Native Endpoint implementation requires MSI message 64-bit address capability.
Info: Native Endpoint implementation doesn't support I/O or 32-bit Prefetchable memory BAR types.

Cancel < Prev Next > Finish

Secinājumi:

- ✓ **Izmantojot PCI Express interfeisu var sasniegt lielus datu pārraides ātrumus**
 - ✓ **Ir vairāki iespējamie risinājumi**
 - ✓ **PCI Express IP core izmantošana dod vairākas priekšrocības**
-
- ✓ **Nākotnē ir paredzēts vienkāršot esošo shēmu**
 - ✓ **Palielināt funkcionalitāti**
 - ✓ **Pielietot vairākas šūnas lai sasniegtu lielākus ātrumus**

USB 2.0 IERĪČU RISINĀJUMI

**M. Kalbergs,
U. Grunde**

Elektronikas un datorzinātņu institūts

Rīga

PLĀNS

- Mērķis
- USB vēsture, pamatjēdzieni, īpašības
- EZ-USB FX2 - USB mikrokontrolieris
- EZ-USB FX2 pielietojums un programmēšana
- Realizācija
- Rezultāti

MĒRĶIS

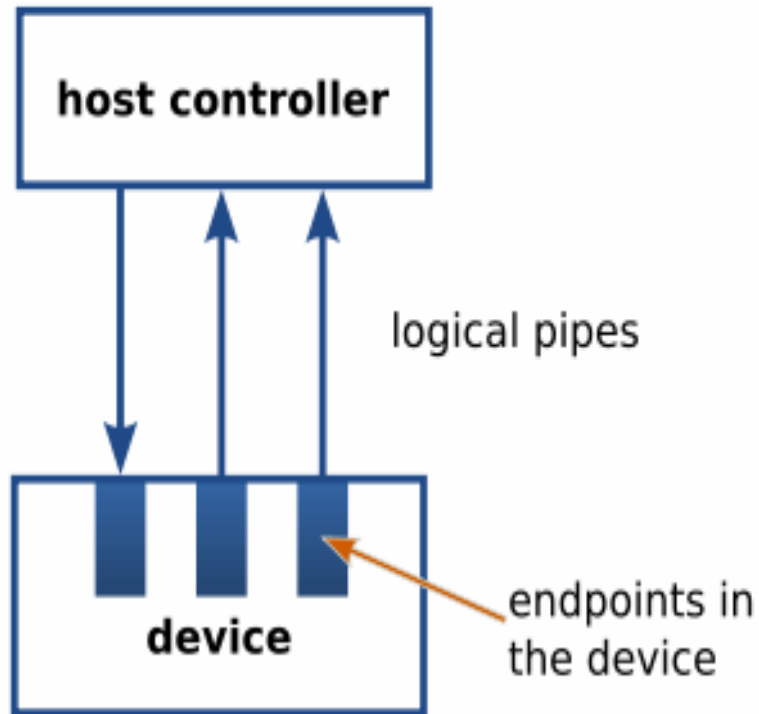
- ❑ Pastāstīt par USB 2.0 ārējas ierīces izstrādes jautājumiem
- ❑ Iepazīstināt ar USB 2.0 ierīču risinājumiem

USB 2.0 VĒSTURE

- Universāla virknes kopne - **U**niversal **S**erial **B**us (**USB**)
- 1996.g. – USB 1.0 līdz 12Mbit/s
- 2000.g. - USB 2.0 līdz 480 Mbit/s –
vēlā ņemams ātrums (80 Mbaiti/s)
- 2007.g. - USB 3.0 (nākotnes versija)
līdz 4,8 Gbit/s

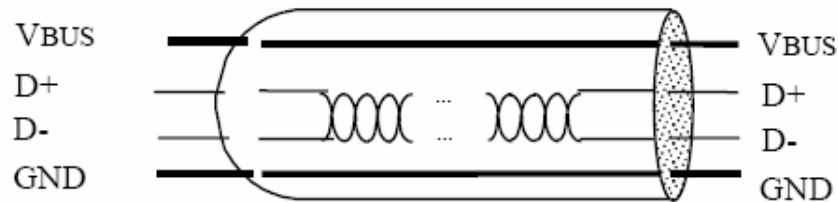
USB PAMATJĒDZIENI

Ierīce "Master"



Ierīce "Slave"

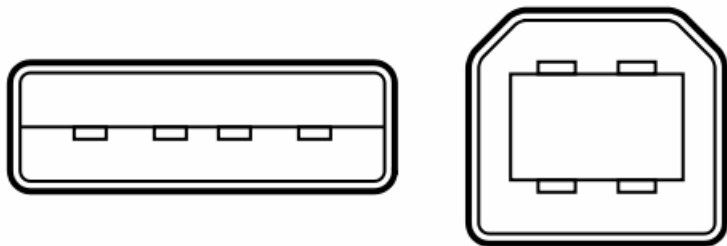
USB PAMATJĒDZIENI



USB kabelis

USB PAMATJĒDZIENI

- ❑ USB izmanto 2 dažādus savienotāju tipus A un B – kabeļa garums līdz 5m



- ❑ Izmanto arī mikro-USB savienotājus - kabeļa garums līdz 2m

USB ĪPAŠĪBAS

4 datu pārraides tipi

- ❑ Vadības signālu pārraide
- ❑ Lielapjoma (bulk) datu pārraide
- ❑ Datu pārraide, kas izmanto pārtraukšanu
- ❑ Izohronā datu pārraide

USB ĪPAŠĪBAS

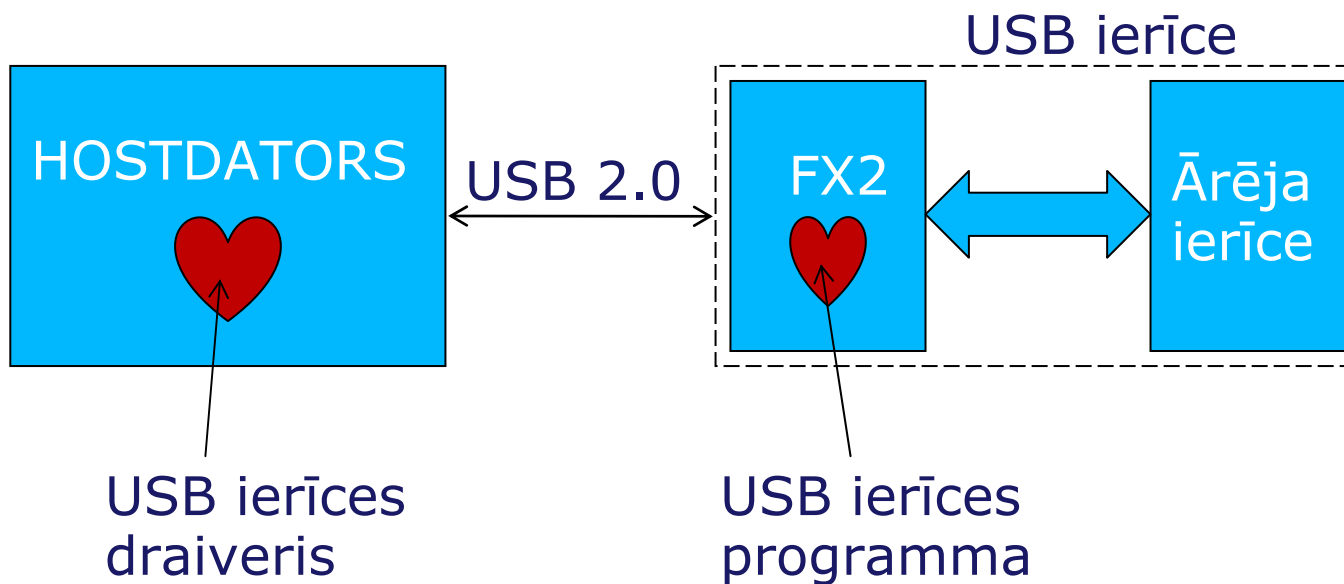
- ❑ Master – slave sistēma
- ❑ Vienkāršo datora ārējo ierīču pieslēgšanu
- ❑ Mazcenas pieslēgšanas modelis, kas izmanto hostdatoru
- ❑ PnP (Plug and play) standarts
- ❑ Paplašināšana – pieslēdz līdz 127 ierīcēm, izmantojot centrmezglus
- ❑ Karstā pieslēgšana

USB PIELIETOJUMI

USB ierīces

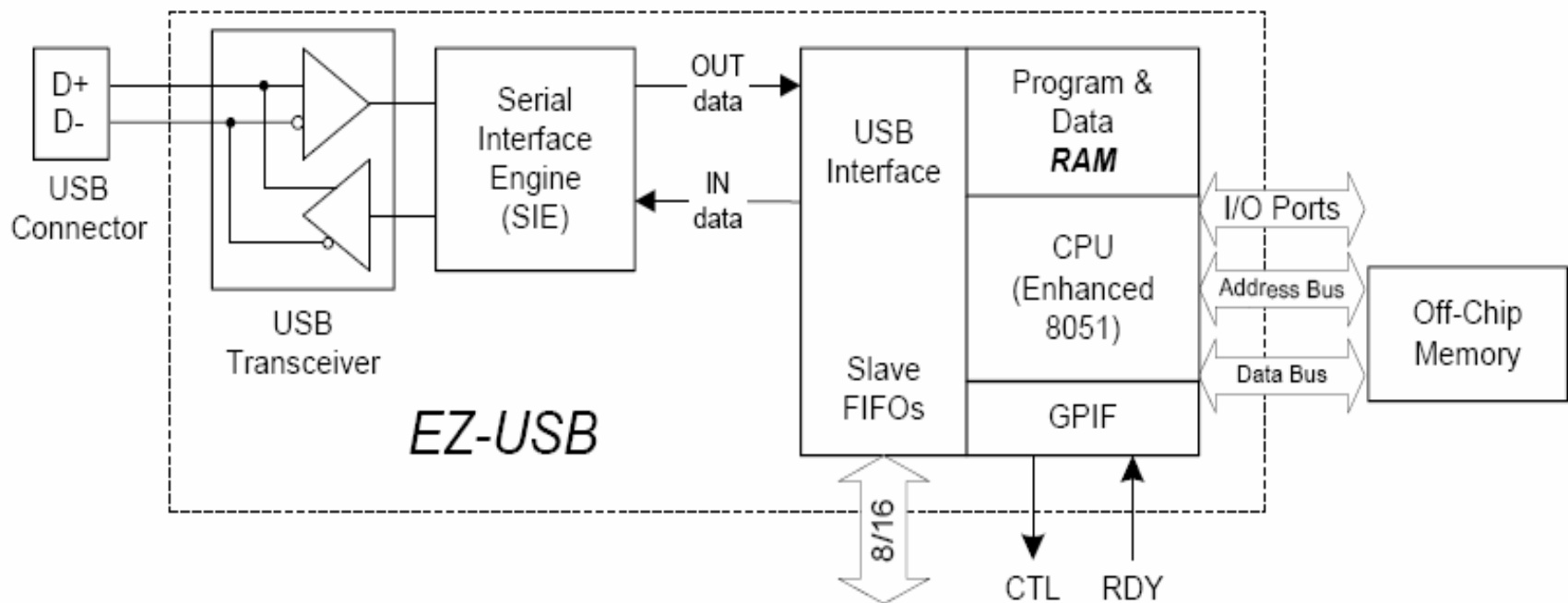
- ❑ HID ierīces
- ❑ Audio ierīces
- ❑ Video ierīces
- ❑ Atmiņas ierīces
- ❑ Lietotāja ierīces

EZ-USB FX2 - USB mikrokontrolieris



FX2 (CY7C68013)

BLOKSHĒMA



FX2 ĪPAŠĪBAS

- ❑ Galapunktu izmērs un buferizācijas pakāpe ir programmējami
- ❑ Režīms Auto iesl./izsl., lai atslēgtu 8051 no līdzdalības datu pārraidē
- ❑ GPIF – universāls programmējams interfeiss
- ❑ 4 galapunktu FIFO

IZSTRĀDES RĪKI

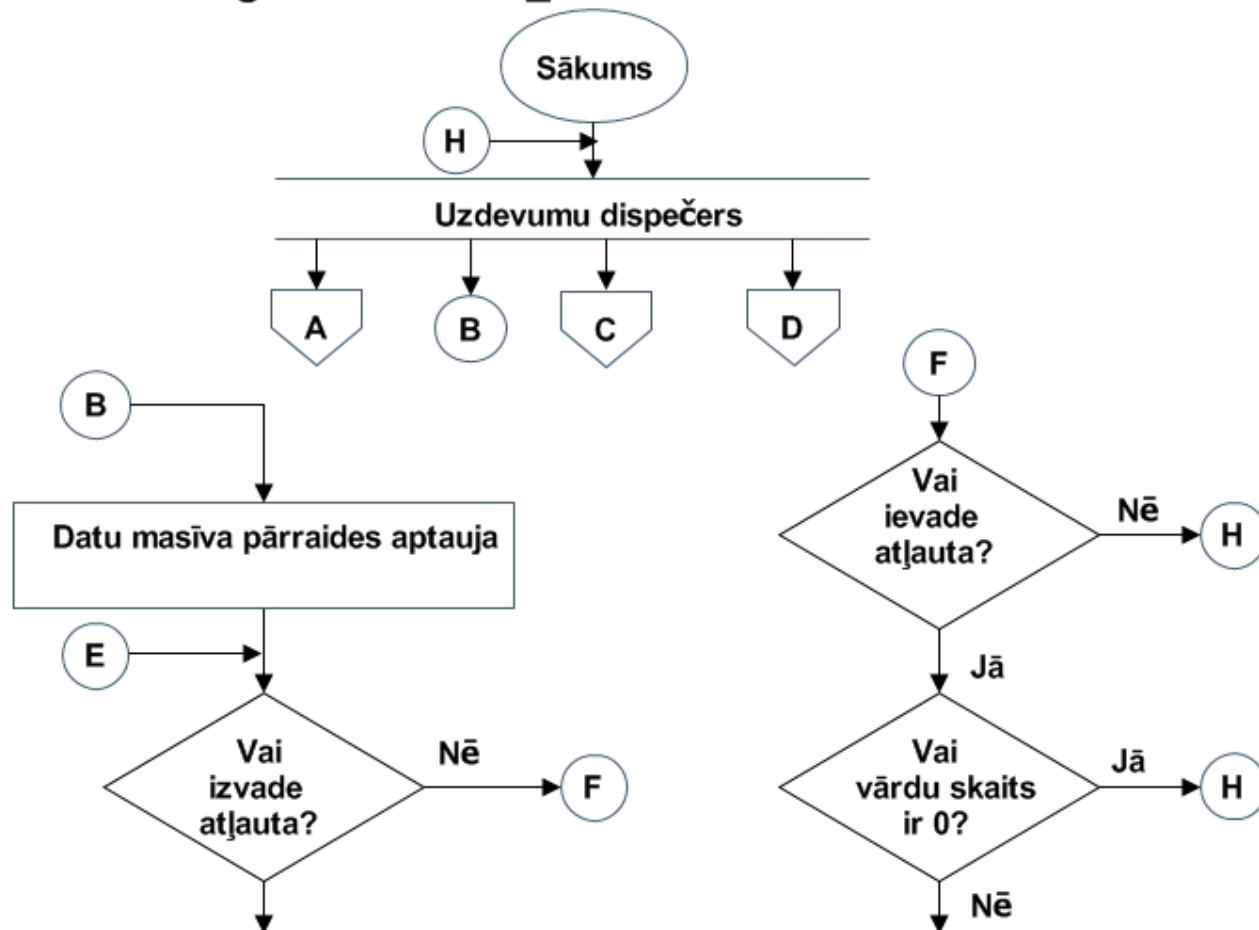
- ❑ CY4604 (USB Development Studio)
- ❑ GPIF Designer – signālu diagrammu projektēšanai
- ❑ uVision2, Version 2.10-integrēta izstrādes vide Cypress 8051
- ❑ CY4603 – USB ierīču veiktspējas pārbaudei

SADARBĪBAS FX2 – ALTERA RISINĀJUMS

- ❑ FX2 draiveris hostdatorā
- ❑ FX2 programma
- ❑ GPIF konfigurēšana

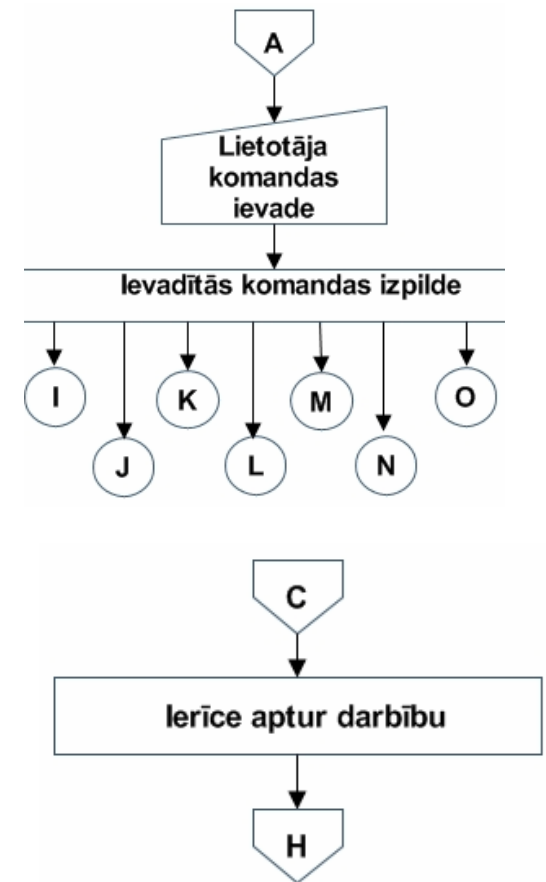
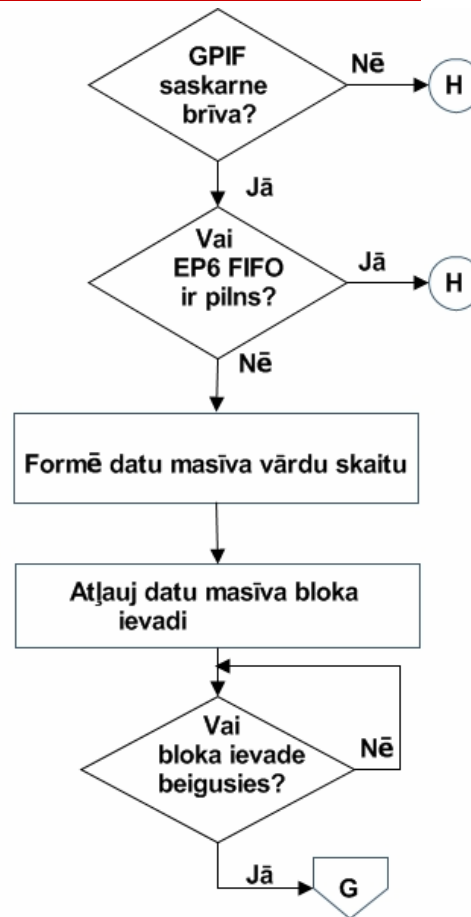
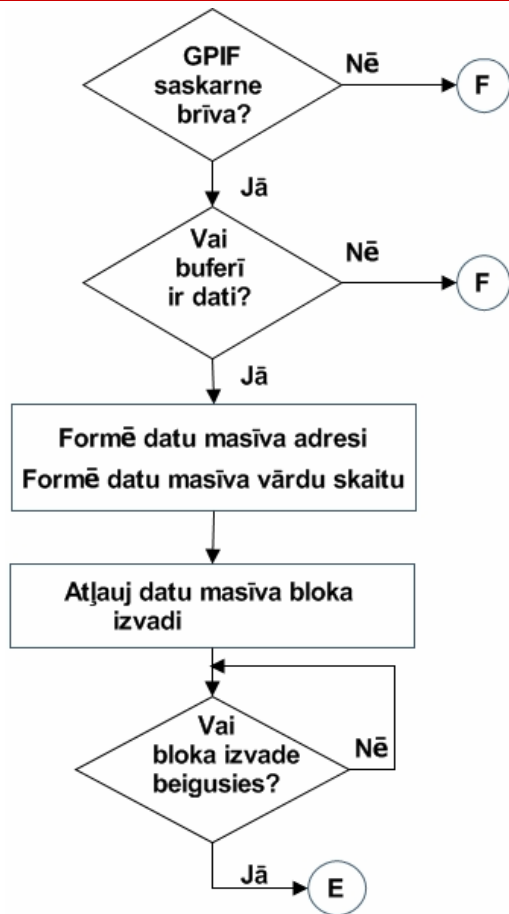
SADARBĪBAS ALGORITMS

FX2 - ALTERA



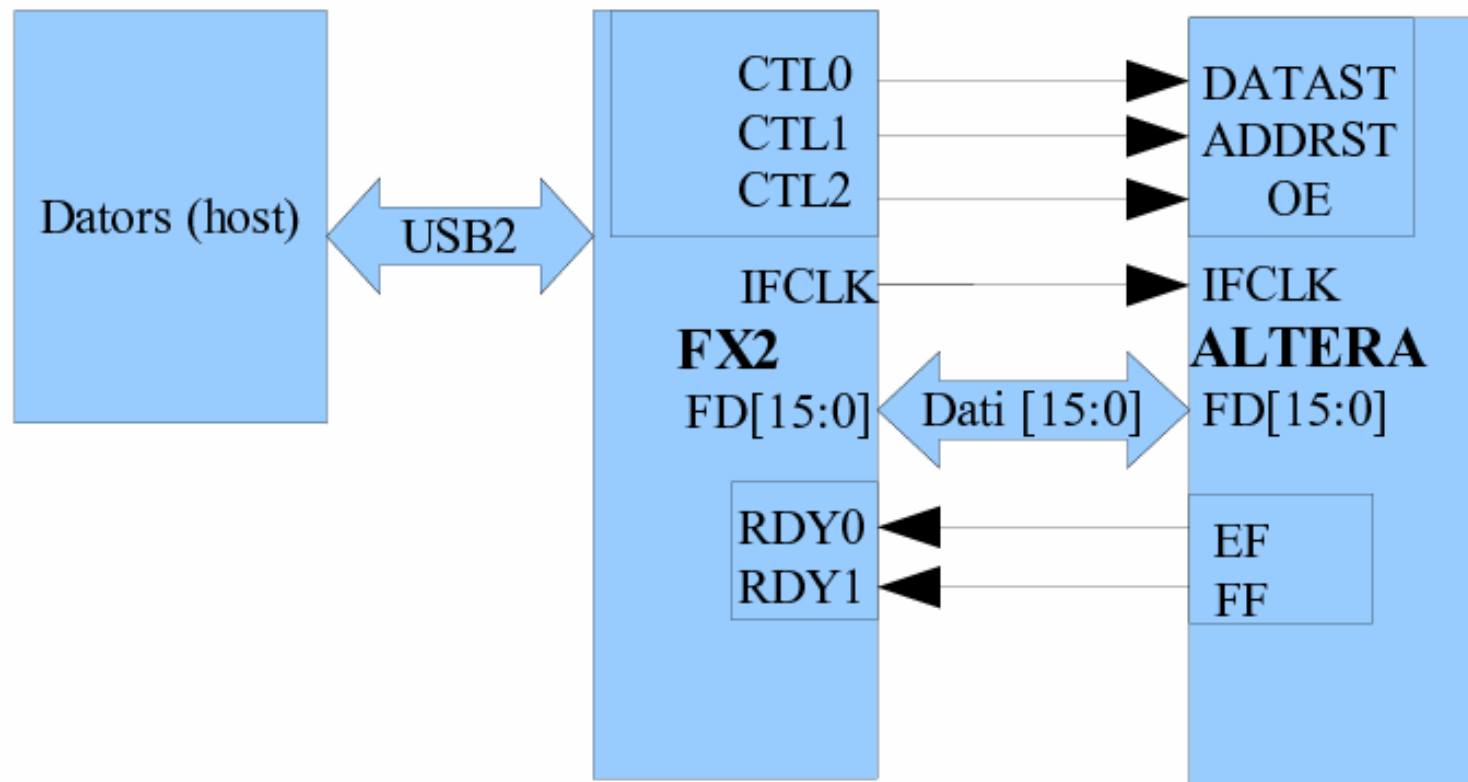
SADARBĪBAS ALGORITMS

FX2 - ALTERA



SADARBĪBAS SIGNĀLI

FX2 - ALTERA



SADARBĪBAS SIGNĀLI

FX2 - ALTERA

CTL0, CTL1 un CTL2 ir GPIF vadības signāli

- CTL0 (DATST) ir datu strobs
- CTL1 (ADRST) ir adreses strobs
- CTL2 (OE) ir signāls, kas norāda FX2 kopnes FD [15:0] datu pārraides virzienu

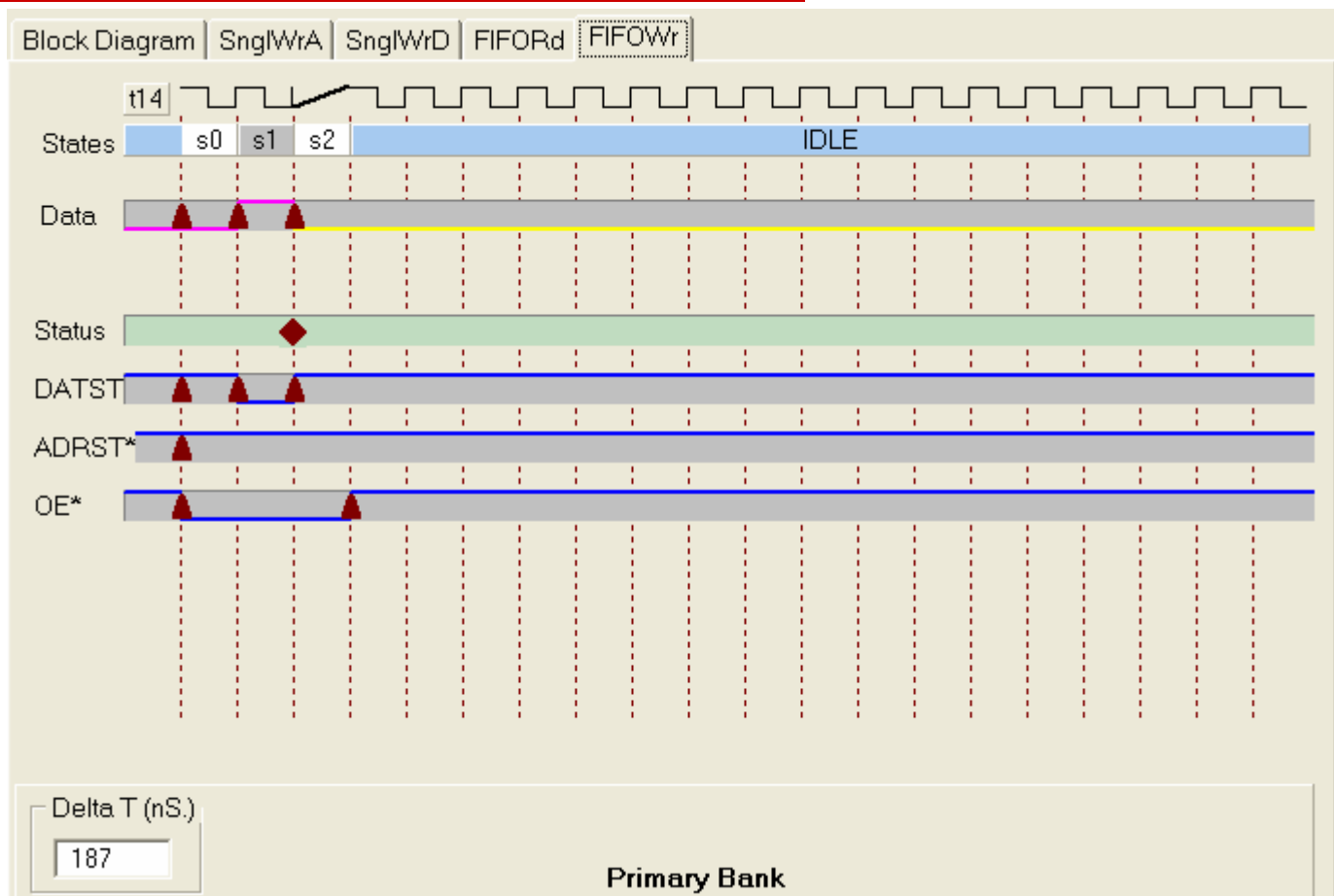
SADARBĪBAS SIGNĀLI

FX2 - ALTERA

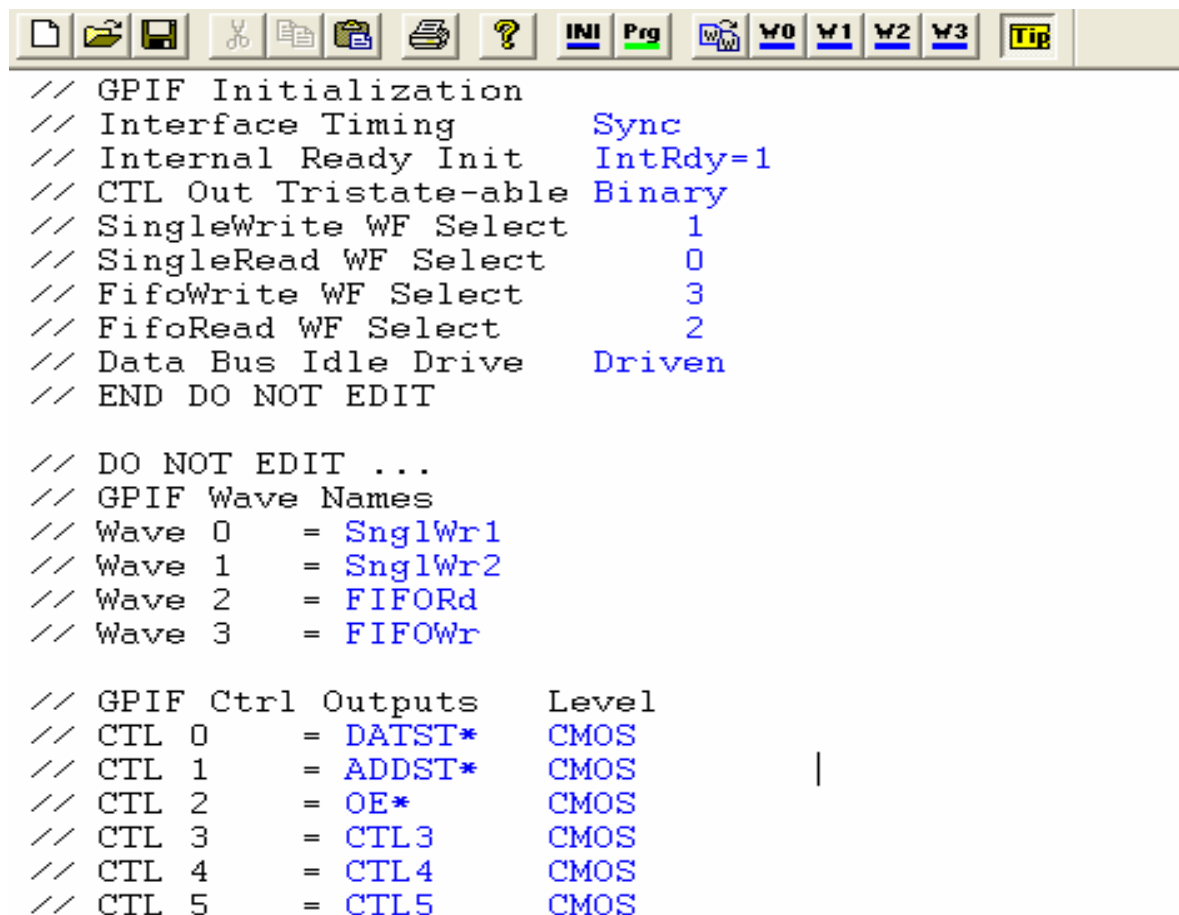
RDY0, RDY1 ir GPIF ieejas signāli

- ❑ RDY0 ieejā zems līmenis ir pazīme, ka Alteras ieejas buferis ir tukšs
- ❑ RDY1 ieejā zems līmenis ir pazīme, ka Alteras izejas buferis ir pilns
- ❑ Divvirziena datu kopne FD[0:15]
- ❑ Taktsignāls IFCLK

GPIF SIGNĀLU FORMĒŠANA



GPIF SIGNĀLU FORMĒŠANA

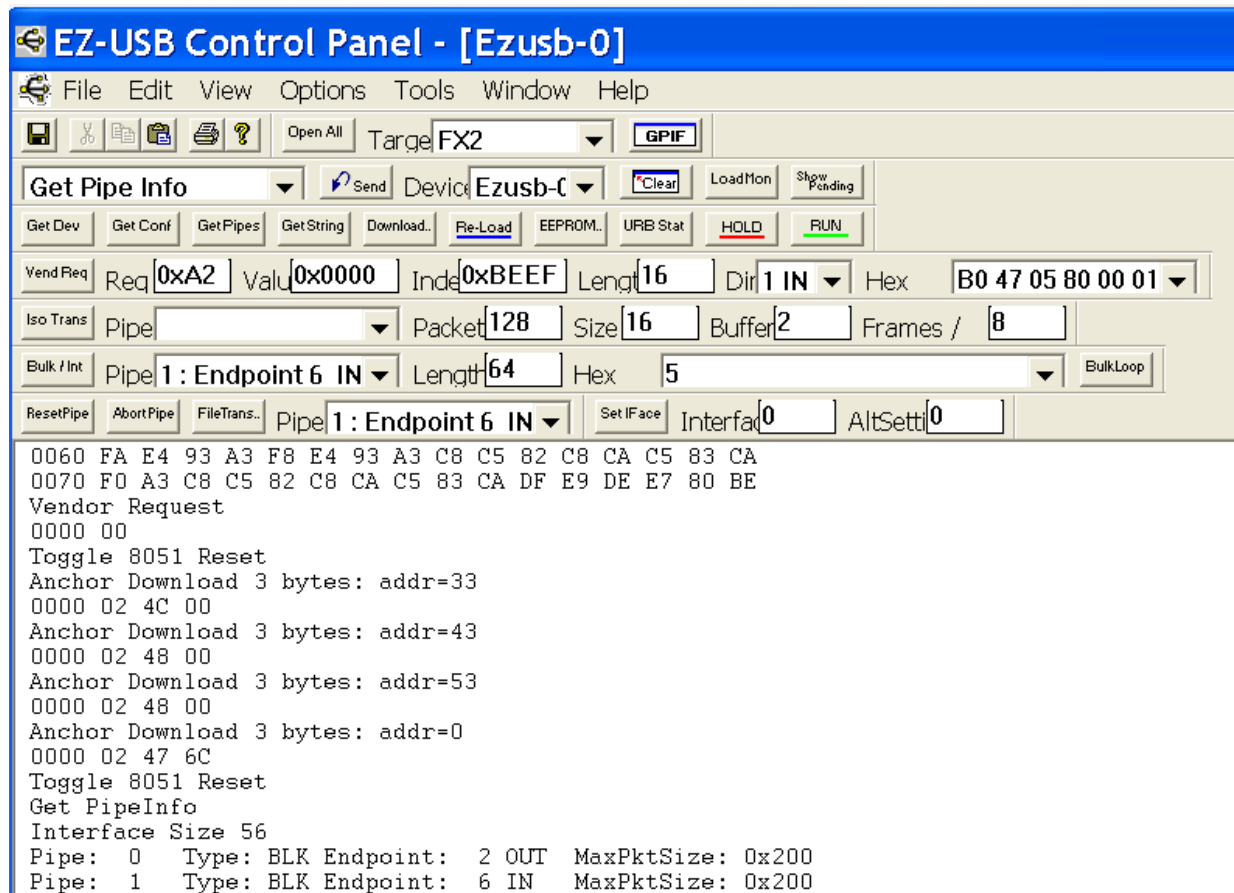


```
// GPIF Initialization
// Interface Timing      Sync
// Internal Ready Init   IntRdy=1
// CTL Out Tristate-able Binary
// SingleWrite WF Select 1
// SingleRead WF Select  0
// FifoWrite WF Select   3
// FifoRead WF Select    2
// Data Bus Idle Drive   Driven
// END DO NOT EDIT

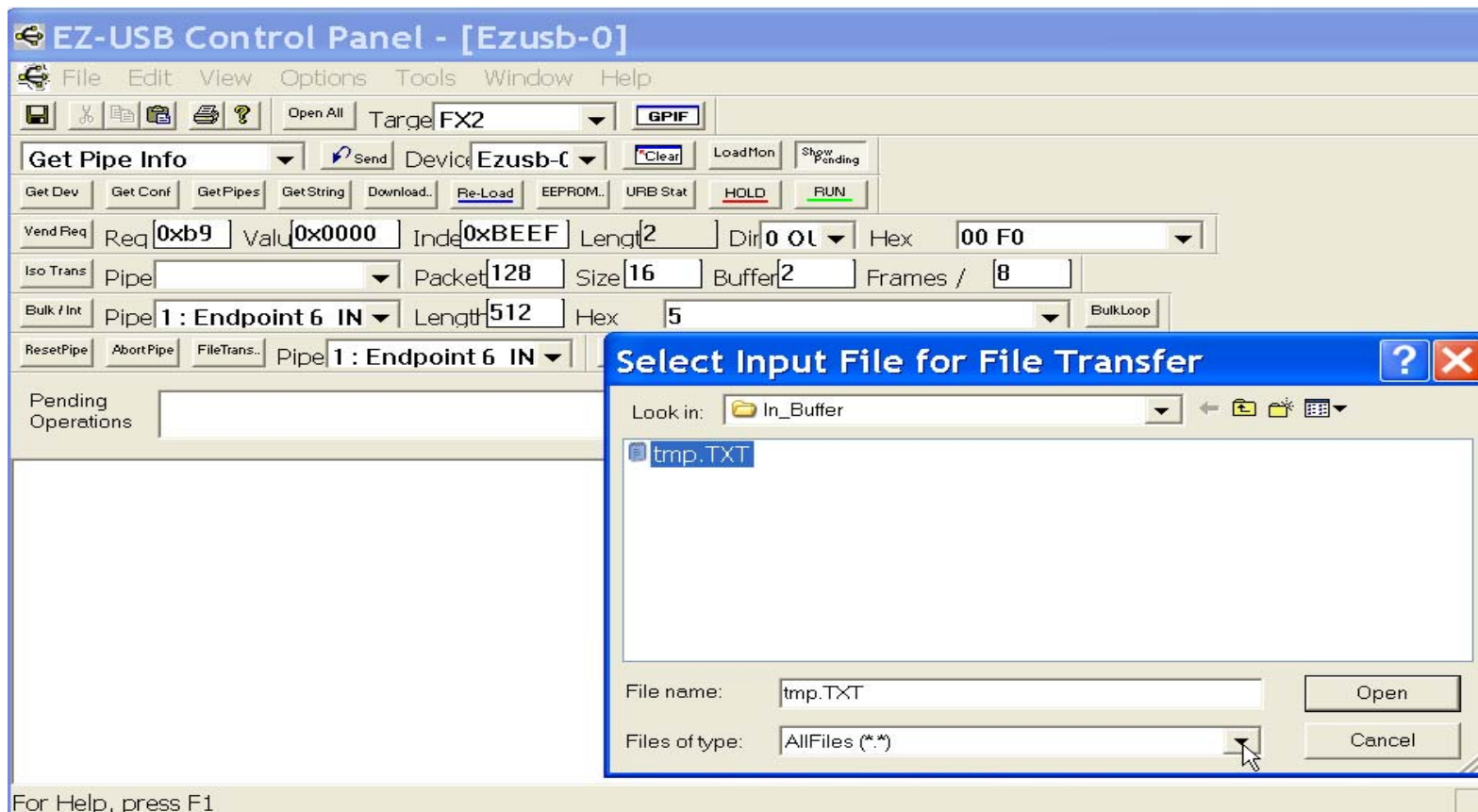
// DO NOT EDIT ...
// GPIF Wave Names
// Wave 0    = SnglWr1
// Wave 1    = SnglWr2
// Wave 2    = FIFORd
// Wave 3    = FIFOWr

// GPIF Ctrl Outputs    Level
// CTL 0    = DATST*    CMOS
// CTL 1    = ADDST*    CMOS
// CTL 2    = OE*       CMOS
// CTL 3    = CTL3      CMOS
// CTL 4    = CTL4      CMOS
// CTL 5    = CTL5      CMOS
```

SADARBĪBAS PROGRAMMAS FX2 – ALTERA IZPILDE



SADARBĪBAS PROGRAMMAS FX2 – ALTERA IZPILDE



REALIZĀCIJA

USB kontrolieris
EZ-USB FX2

USB ligzda



REZULTĀTI

- Izstrādāta programma
FX2 – ALTERA lielapjoma (bulk) datu
pārraidei -
- Izstrādāta programma
FX2 – ALTERA izohronai datu
pārraidei

Pateicos par uzmanību!

Jautājumi?

Specializēto mikroshēmu projektēšana iekārtu vadībai ALTERA CPLD tehnoloģijā

Jevgeņijs Buls, Dr.dat.

Elektronikas un datorzinātņu institūts

Programmējamās Loģiskās Integrālās Shēmas

Specializēto mikroshēmu projektēšanai visbiežāk tiek pielietotas Programmējamās Loģiskās Integrālās Shēmas (PLIS) un īpaši tad, kad ir vajadzīga paaugstināta funkcionalitāte un ātrdarbība.

Iespēja programmēt un pārprogrammēt dot šādas priekšrocības:

- universālums, vai iespēja vienā čipā realizēt neierobežotu algoritmu skaitu;
- augsta līmeņa valoda ļauj ātri pāriet no radoša nodoma pie tehniskās realizācijas;
- var viegli izmainīt vai izlabot signālu apstrādes algoritmu, utt.

Mikroprocesori arī ir programmējami. Bet labākie no tiem izpilda 2-4 operācijas vienā mikrosekundē, bet PLIS var strādāt ar simtiem un pat tūkstošiem megahercu frekvenci. Un pie tam visi ieprogrammētie algoritmi strādā vienlaicīgi!

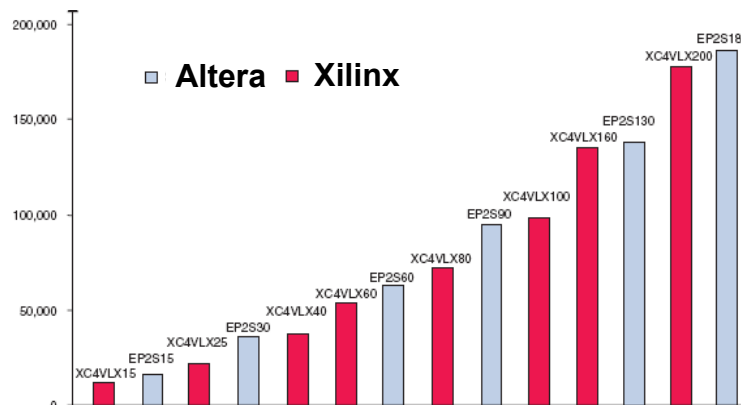
Ir zināmi daudzi PLIS ražotāji: ALtera, Xilinx, Lattice, Atmel, utt.

Lai izvēlētos ražotāju, PLIS var salīdzināt pēc dažādiem parametriem:

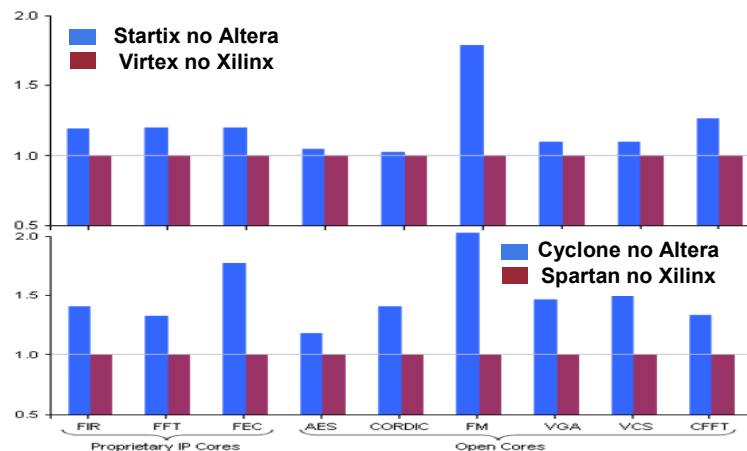
- **ietilpums** – loģisko elementu daudzums (OR/AND, trigeri, I/O buferi);
- **ātrdarbība** (maksimāla I/O frekvence);
- **cena** - cik maksā katra PLIS vienība (vai viens loģiskais elements);
- **draudzīgums** - cik ērti ir projektēšanas un programmēšanas līdzekļi.

Programmējamās Loģiskās Integrālās Shēmas

Galvenie līderi PLIS ražotnē ir Altera un Xilinx. Internetā var atrast publikācijas, kur ir salīdzināti PLIS no abiem ražotājiem. Piemēram, salīdzinājums ietilpuma un ātrdarbības jomā:



letilpumu salīdzinājums



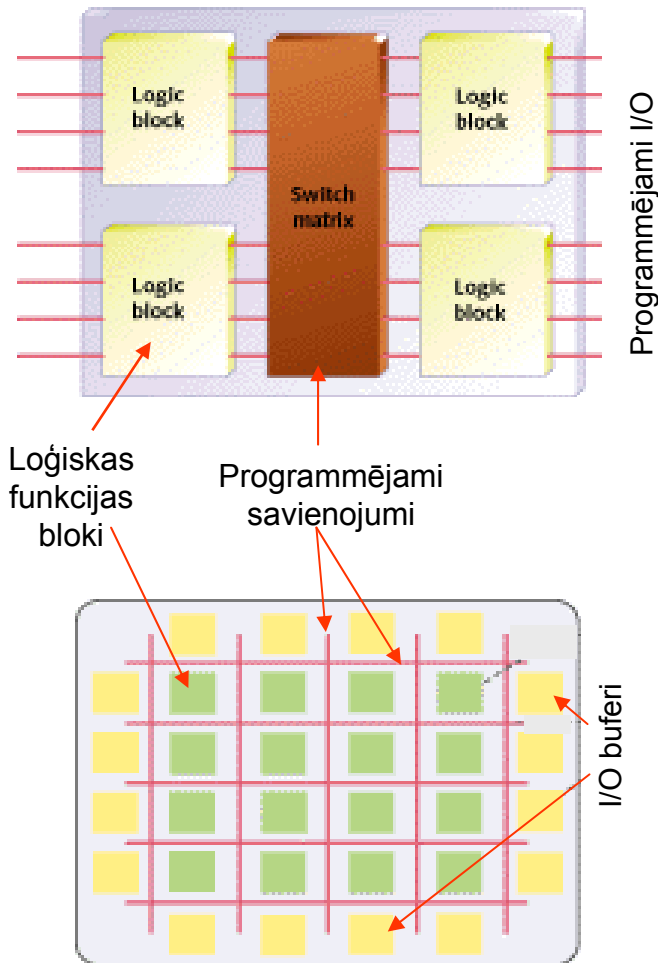
Ātrdarbības salīdzinājums

Tomēr ir grūti dot priekšrocību kādam no tiem, ja jūs tikai plānojat sākt lietot PLIS. Mēs lietojam PLIS un projektēšanas līdzekli no Altera jau no 90-iem gadiem. Mūsu pieredze rāda, kā mums tie ir vispiemērotākie.

Mēs sākam strādāt ar ļoti draudzīgu un skaidru projektēšanas sistēmu [MAX-plus II](#). Tagad tā arī ir atrodamā Internetā bet jaunos čipus tā neuzturēs. Tādēļ nākas pāriet uz [Quartus](#) sistēmu, kura ir mazliet sarežģītāka, bet iekļauj sevī visu to labo no iepriekšējās sistēmās un ir daudz ātrdarbīgāka.

Tomēr teiktais neizslēdz iespēju, ka ir kādi PLIS no cita ražotāja, kuri kādam patika vairāk.

Visbiežāk ir lietoti divi PLIS tipi : **CPLD** un **FPGA**



CPLD – Complex Programmable Logic Device

- Šūnu skaits – no 32 līdz 1700
- “Pin to pin” minimāla kavēšana – no 4.5 līdz 7.5 ns
- I/O maksimālais skaits – no 34 līdz 272
- Iekšējās atmiņas bloks – līdz 8 Kb

CPLD vienreiz ieprogrammēti var strādāt uzreiz pēc barošanas pieslēgšanas

FPGA – Field Programmable Gate Array

- Šūnu skaits – no 3000 līdz 338000
- Ātrdarbība – iekšējās PLL frekvences līdz 720 MHz, reizinātāji – 550 MHz, I/O līdz 840 MHz (2.5 GHz)
- I/O maksimālais skaits – no 34 līdz 1104
- Iekšējās atmiņas bloki – no 58 Kb līdz 16.3 Mb
- un daudz iebūvēti DSP bloki, ārēji interfeisi utt.

FPGA pēc ieslēgšanas ir nepieciešams ieprogrammēt no datora vai no speciālā atmiņas čipa.

CPLD no Altera Inc.

temperatūras 0 – +70°C

temperatūras -40 – +85°C

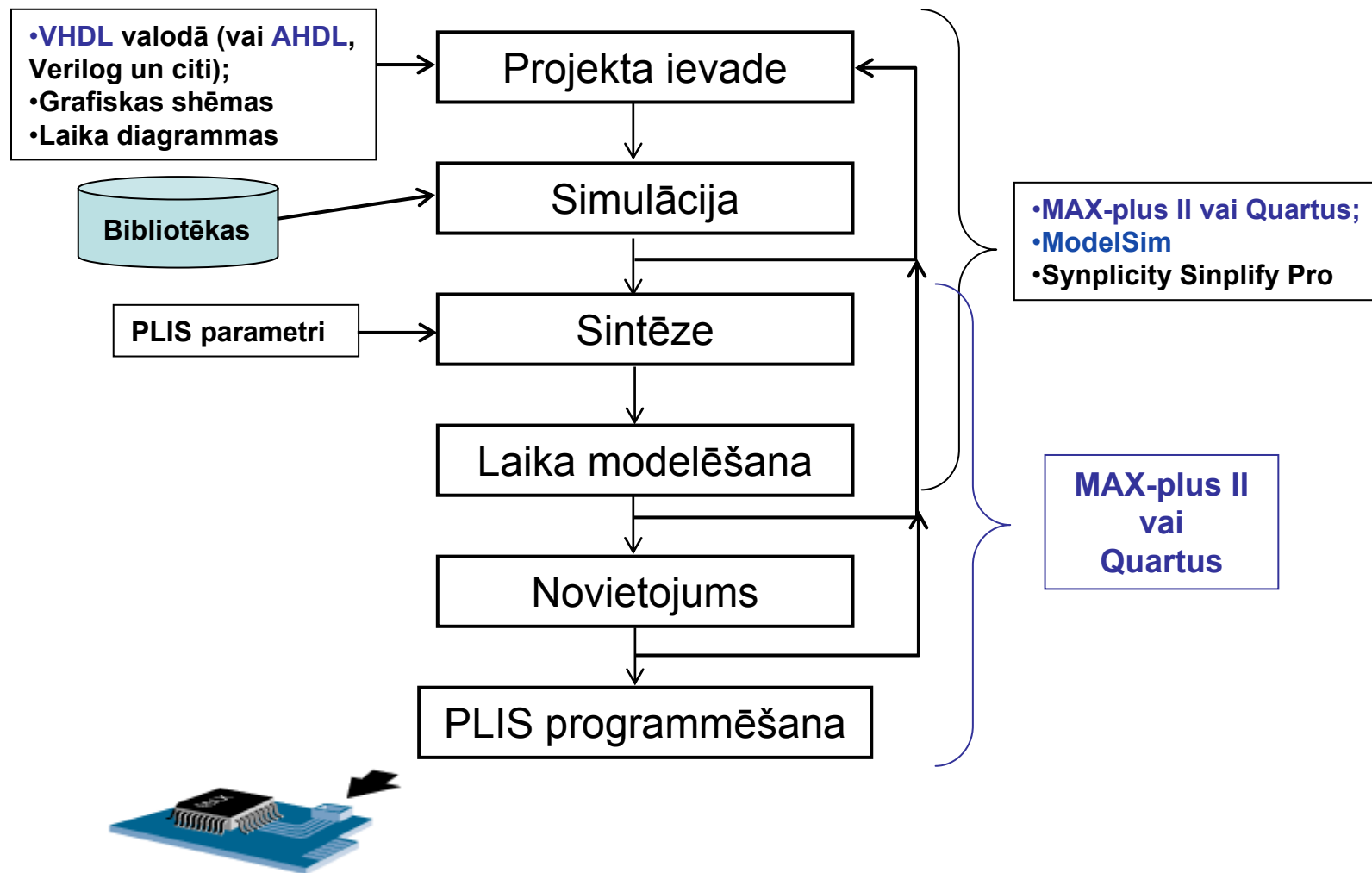
temperatūras -40 – +130°C

lietojamās I/O skaits

pārnesamība

		MAX II 3.3 V, 2.5 V, 1.8 V				MAX 3000A 3.3 V					MAX 7000AE 3.3 V				
		EPM240/G	EPM570/G	EPM1270/G	EPM2210/G	EPM3032A	EPM3064A	EPM3128A	EPM3256A	EPM3512A	EPM7032AE	EPM7064AE	EPM7128AE	EPM7256AE	EPM7512AE
Density and speed	Macrocells ¹	192	440	980	1,700	32	64	128	256	512	32	64	128	256	512
	Logic elements (LEs)	240	570	1,270	2,210	–	–	–	–	–	–	–	–	–	–
	Pin-to-pin delay (ns)	4.7, 6.2, 7.6	5.5, 7.1, 8.8	6.3, 8.2, 10.1	7.1, 9.2, 11.3	4.5, 7.5, 10	4.5, 7.5, 10	5.0, 7.5, 10	7.5, 10	7.5, 10	4.5, 7.5, 10	4.5, 7.5, 10	5.0, 7.5, 10	5.5, 7.5, 10	7.5, 10, 12
PLCC (L) ²	44-pin					34	34				36	36			
	84-pin												68		
TQFP (T) ³	44-pin					34	34				36	36			
	100-pin	80	76				66	80				68	84	84	
	144-pin		116	116				96	116				100	120	120
PQFP (Q or R) ⁴	208-pin								158	172				164	176
BGA (B) ⁵	256-pin														212
FBGA (F) ⁶	100-pin	80	76									68	84	84	
	256-pin		160	212	204			98	161	208			100	164	212
	324-pin				272										
MBGA (M) ⁷	100-pin	80	76												
	256-pin		160	212											
Cenas Digikey katalogā (USD)		6.0 60				1.2 70					2.1 220				

Projektēšana uz PLIS no Altera



Projektēšanas sistēmā Quartus ietilpst:

- teksta redaktors projekta ieviešanai VHDL, AHDL, Verilog valodās;
- grafiskais redaktors projekta ieviešanai shēmas veidā;
- grafiskais redaktors projekta ieviešanai laika diagrammas veidā;
- kompilācijas un sintēzes līdzekļi;
- simulācijas un laika modelēšanas līdzekļi;
- DSP bloku projektēšanas līdzekļi;
- PLIS programmēšanas līdzekļi;
- leibūvējamu procesoru programmēšanas līdzekļi;
- LPM (Library of Parameterized modules) un IP (Intellectual Property) moduļu pielāgošanas līdzekļi;

un daudzi citi lietderīgi līdzekļi un iespējas.

Visas nepieciešamās **Quartus** funkcijas ir pieejamas bezmaksas versijā

Quartus II v.7.1 Web Edition, kuru var dabūt Internetā: www.altera.com.

Turpat var arī piekraut **ModelSim-Altera 6.1g Web Edition**. Tā ir ērta un skaidra sistēma, kura ļauj rakstīt un simulēt programmas VHDL valodā.

Bet, ja jūs plānojat nopietni nodarboties ar plašu ierīču klases projektēšanu PLIS bāzēs, ir vērts nopirkt **Full-Featured Quartus II v.7.2 Subscription Edition**. Tajā ir iekļauti visi Alteras čipi un lielas IP bibliotēkas, ka arī gada laikā pilnu atbalstīšanu no Altera Inc.

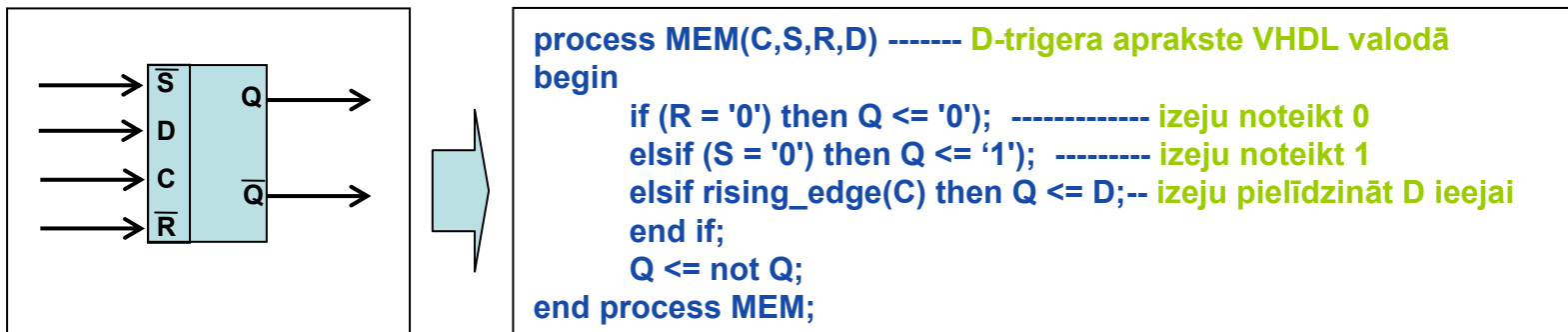
VHDL - Very high speed integrated circuits Hardware Description Language

VHDL valoda bija izstrādāta 1983. gadā loģisku shēmu formālam aprakstam visos projektēšanas etapos: no viena čipa līdz lielām ciparu sistēmām. Tāds pasūtījums bija no USA Aizsardzības ministrijas. Vēlāk VHDL bija standartizēts un tagad aktuālais ir:

IEEE Std 1076-2002 IEEE Standard VHDL Language Reference Manual

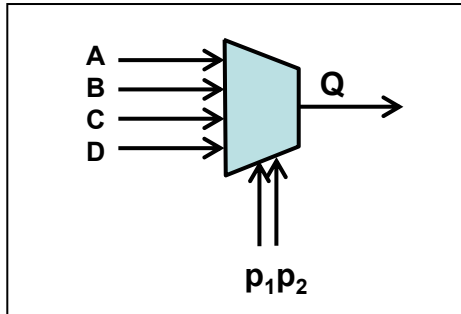
Augsta līmeņa valoda ļauj ātri pāriet no radoša nodoma pie tehniskās realizācijas. Tiem, kuri kaut vienu reizi rakstīja programmas C, vai kādā citā valodā, nebūs lielas problēmas VHDL valodas lietošanā. Bet ir viena ļoti svarīga atšķirība no datora programmas: visi definētie procesi strādā vienlaicīgi. Un to vajadzētu vienmēr paturēt galvā.

Daži piemēri vadības mezgla komponentiem apraksti VHDL valodā



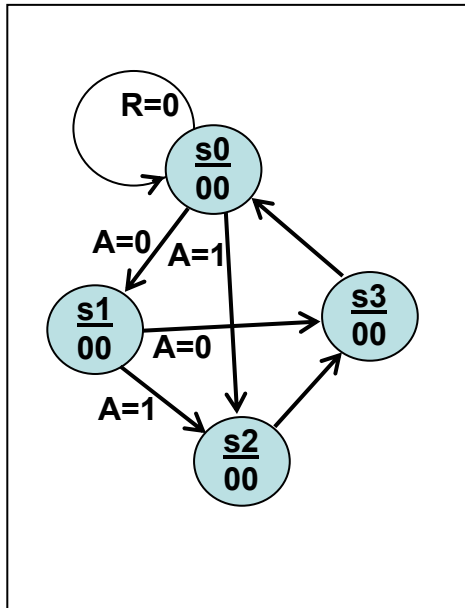
D-Trigera grafiskais attēls un apraksts VHDL valodā

Projektēšana VHDL valodā



```
process MUX(A,B,C,D,p1p2) -- multipleksora aprakste VHDL
begin
    case p1p2 is
        when "00" => Q <= A; -- A ieejas pieslēgšana uz izeju
        when "01" => Q <= B; -- B ieejas pieslēgšana uz izeju
        when "10" => Q <= C; -- C ieejas pieslēgšana uz izeju
        when "11" => Q <= D; -- D ieejas pieslēgšana uz izeju
    end case;
end process MUX;
```

Multipleksora grafiskais attēls un apraksts VHDL valodā



```
process MEM(clk, R) --- iekšējās atmiņas kontrole
begin
    If(R='0') preS <= s0; ----- nav atļauts strādāt
    elseif rsising edge(clk) preS <= postS;
    end if;
end process MEM;

-----
process MUX(preS, A) ---- automāta pārejas tabula
begin ----- Z – izejas, saistītas ar stāvokli
    case preS is
        when s0 => Z <= "00";
        If (A='0') then postS <= s1; else postS <= s2;
        when s1 => Z <= "01";
        If (A='1') then postS <= s2; else postS <= s3;
        when s2 => Z <= "10"; postS <= s3;
        when s3 => Z <= "11"; postS <= s0;
    end case;
end process MUX;
```

Automāta grafiskais attēls un apraksts VHDL valodā

Vadības mezglu projektēšana, pielietojot CPLD no Altera Inc., parāda, kā:

- augsta līmeņa valodas lietošana ierīces aprakstīšanai ievērojami saīsina ierīču projektēšanas laiku;
- simulēšanas un laika modelēšanas līdzekļi ļauj paaugstināt projektējamo ierīču drošumu;
- iespēja viegli mainīt realizējamu algoritmu, pārprogrammējot CPLD, nodrošina pielāgojamību jaunas zinātnesietilpīgas iekārtas radīšanā;
- Pateicoties CPLD lielas integrācijas pakāpei iekārtēs izmēri samazinās daudzkārt;
- CPLD pārnesamības īpašības, ļauj ierīcei paplašināt funkcijas un palielināt ātrdarbību ar vienkāršu čipu aizvietošanu.

Paldies par uzmanību !

SIGNĀLU APSTRĀDES ALGORITMI LAIKA, FREKVENČU UN LAIKA- FREKVENČU APGABALOS

Nosacījumi

- Signāls var tikt diskretizēts divos veidos:
 - vienmērīgi
 - nevienmērīgi
- Diskretizējot vienmērīgi, jāievēro Naikvista kritērijs, kas ierobežo diskretizācijas frekvences minimālo vērtību
- Diskretizējot nevienmērīgi, šis ierobežojums var tikt ņemts vērā
- Nevienmērīgas diskretizācijas pielietojums
 - ļauj palielināt apstrādājamā signāla frekvenču joslu, īpaši nepalielinot iekārtas izgatavošanas izmaksas
 - prasa speciālus signālapstrādes algoritmus

Signālapstrādes algoritmi

- Laika apgabals
 - Signāla parametru noteikšana
 - Dažādu veidu filtrācija
- Frekvenču apgabals
 - Diskrētā Furjē transformācija (DFT)
 - Secīga komponentu izvilkšana (SECOEX)
 - Minimālo kvadrātu metode (LMS)
 - Signālatkarīga transformācija
- Laika-frekvenču apgabals
 - Diskrētā īsintervāla Furjē transformācija (SDTFT)
 - Vīlnīšu analīze
 - Vīgnera-Villes sadalījums

Laika apgabals

- Amplitūdas un laika mērīšana starp diviem vai vairākiem signāla punktiem, piemēram:
 - periodiska signāla perioda noteikšana
 - impulsa kāpuma vai krituma laika noteikšana
 - pārejas procesu laika noteikšana
- Signāla ciparu filtrācija:
 - gludinošie filtri
 - zemfrekvenču filtri
 - augstfrekvenču filtri
 - joslu filtri
 - sprostfiltri
 - kompozīcija ar brīvi izvēlētu funkciju

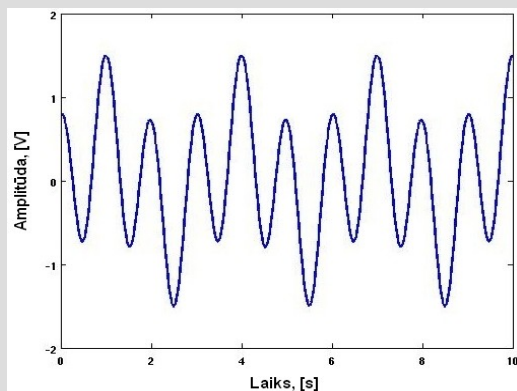
Frekvenču apgabals, DFT

- Vienmērīgi diskretizēta signāla attēlojumu frekvenču apgabalā nosaka DFT izteiksme:

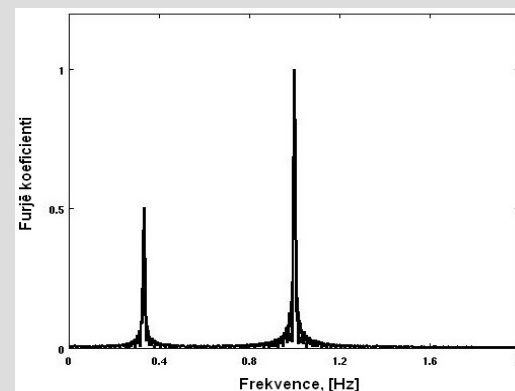
$$\dot{S}_m = \sum_{n=0}^{N-1} s_n e^{-j2\pi mn/N},$$

kur ar s_n tiek apzīmētas signāla nolases, N – nolašu skaits un $\dot{S}_m$ – Furjē koeficienti frekvenču vērtībām $f_m = f_s m/N$, kur f_s ir signāla diskretizācijas frekvence

- Izmantojot FFT (ātro Furjē transformāciju), DFT koeficientu aprēķina laiks ievērojami samazinās



FFT (s_n)



Frekvenču apgabals, DFT

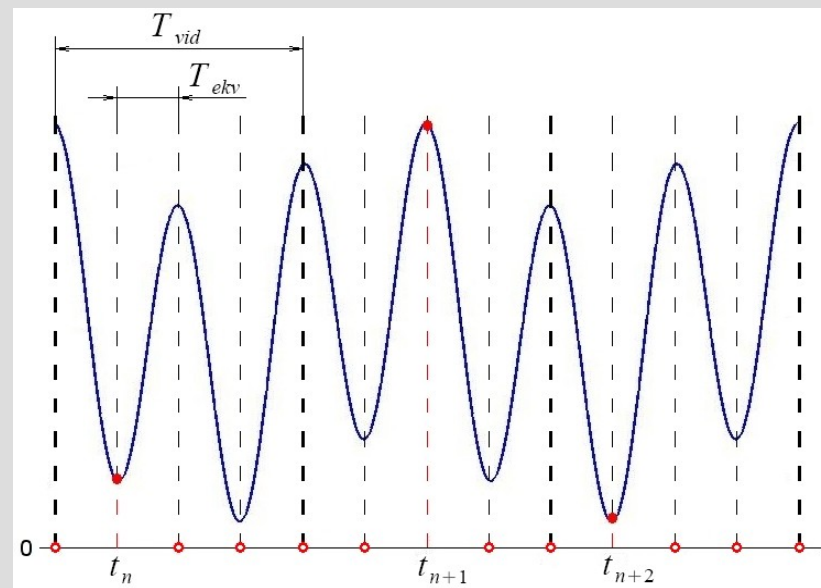
- Nevienmērīgi diskretizēta signāla attēlojumam frekvenču apgabalā var izmantot DFT izteiksmi:

$$\dot{S}_m = \sum_{n=0}^{N-1} s_n e^{-j2\pi mn/N},$$

- Ja kopas $\{t_n\}_{n=0 \dots N-1}$ katrs laika moments t_n sakrīt ar citas kopas $\{t_k\}_{k=0 \dots K-1}$ kādu no laika momentiem, turklāt t_k izvietojums pa laika asi ir vienmērīgs ar diskretizācijas soli T_{ekv} , tad DFT izteiksmi var rakstīt:

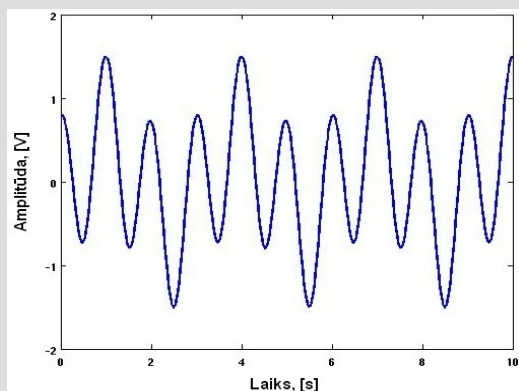
$$\dot{S}_{m'} = \sum_{k=0}^{K-1} s_k e^{-j2\pi m'k/K},$$

kur $s_k = \begin{cases} s_n, & \text{ja } t_k = t_n \\ 0, & \text{citur} \end{cases}$ un $f_{m'} = f_s m' / K$

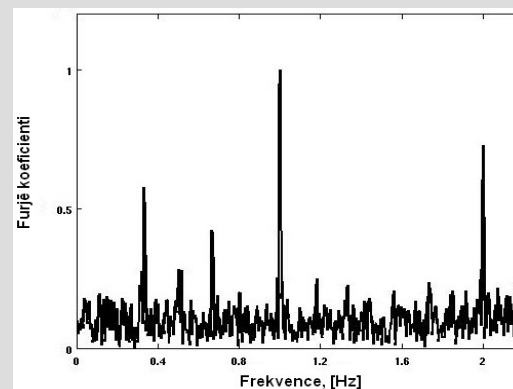


Frekvenču apgabals, DFT

- DFT rezultāts, kas iegūts no s_n nolasēm, dos Furjē koeficientu vērtības līdz frekvencei $f_{vid} = 1/T_{vid}$
- Savukārt DFT rezultāts, kas iegūts no s_k nolasēm, dos Furjē koeficientu vērtības līdz frekvencei $f_{ekv} = 1/T_{ekv}$, turklāt šajā gadījumā DFT koeficientu aprēķinam var izmantot FFT
- Aprēķinātās koeficientu vērtības nebūs korektas, jo nevienmērīgas diskretizācijas gadījumā bāzes funkcijas zaudē ortogonalitāti



FFT (s_k)



Frekvenču apgabals, SECOEX

- *A priori* informācija: signāls sastāv no vienas vai vairākām harmonikām
- Uzdevums ir noteikt katras harmonikas frekvenci, amplitūdu un fāzi
- Algoritms uzdevuma izpildei:

$$\{s_{1n}\} = \{s_n\}$$

$$\sum_{n=1}^N \left(s_{in} - A_i \sin(2\pi f_i t_n + \varphi_i) \right)^2 = \min$$

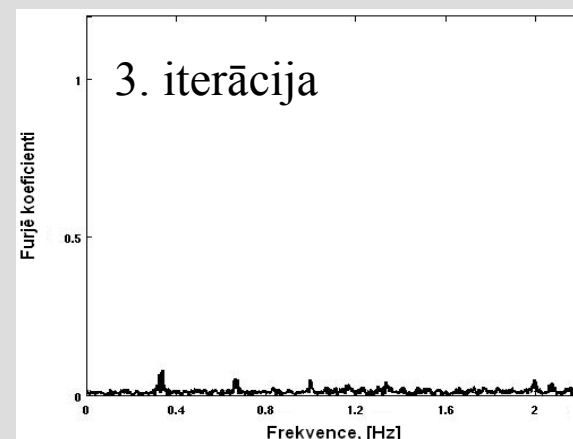
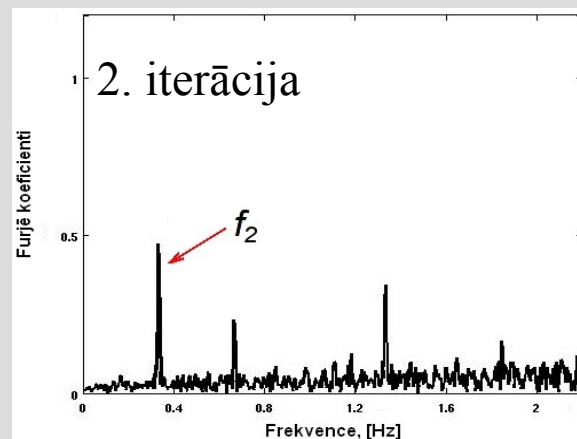
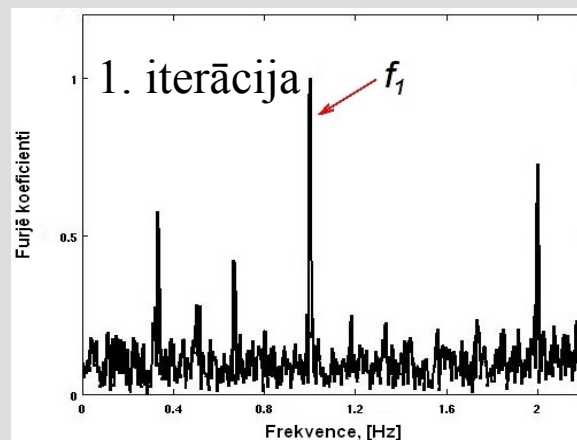
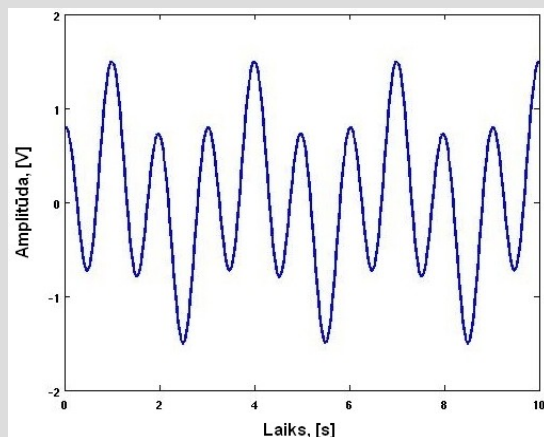
$$s_{(i+1)n} = s_{in} - A_i \sin(2\pi f_i t_n + \varphi_i),$$

kur $i=1,2,\dots$ apzīmē iterācijas numuru, $\{s_{in}\}$ – nolašu vērtības, bet f_i , A_i un φ_i apzīmē meklējamās harmonikas frekvenci, amplitūdu un fāzi i -tajā iterācijā

- Iterāciju izpilde tiek pārtraukta, kad uzdots harmoniku skaits ir atrasts vai arī atlikušā signāla enerģija kļūst mazāka par uzdoto sliekšņa vērtību

Frekvenču apgabals, SECOEX

- Piemērs:



Frekvenču apgabals, LMS

- Atšķirībā no SECOEX aproksimējošo harmoniku frekvences tiek iepriekš uzdotas, lai tālāk meklētu to amplitūdas un fāzes:

$$\sum_{n=1}^N \left(s_n - \sum_{m=1}^M A_m \sin(2\pi f_m t_n + \varphi_m) \right)^2 = \min,$$

kur $M \leq \frac{N}{2}$ ir uzdoto frekvenču f_m skaits

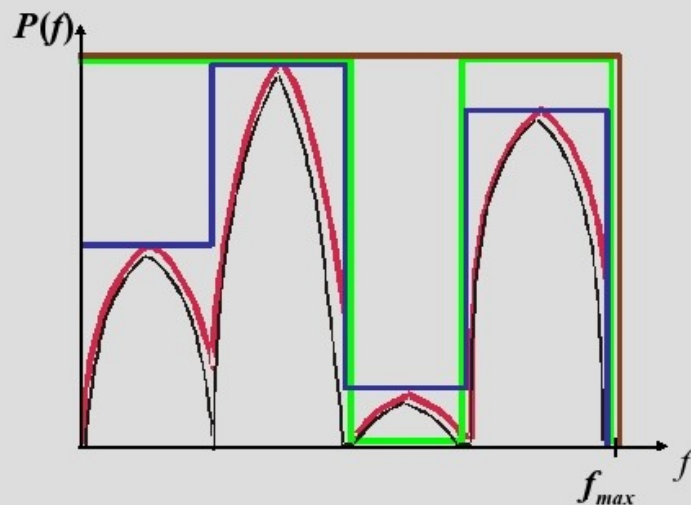
- Risinot minimizācijas uzdevumu, iegūst aproksimācijas koeficientus:

$$\mathbf{C} = (\Phi\Phi^T)^{-1}\Phi\mathbf{S},$$

no kuriem aprēķina amplitūdas A_m un fāzes φ_m

Frekvenču apgabals, Signālatkarīga transformācija

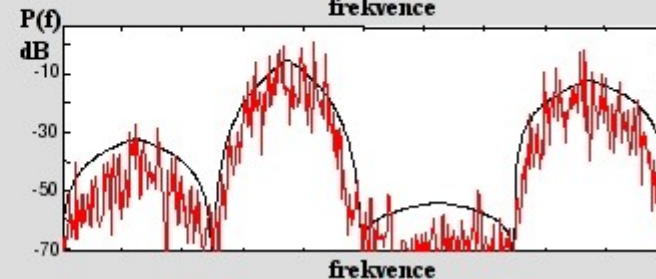
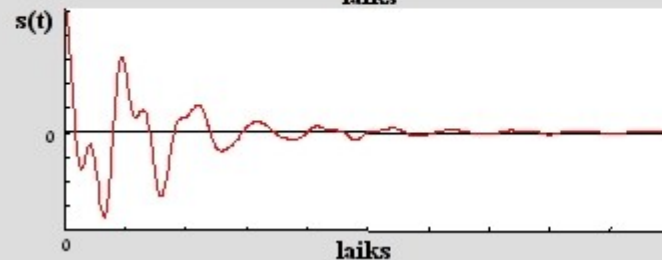
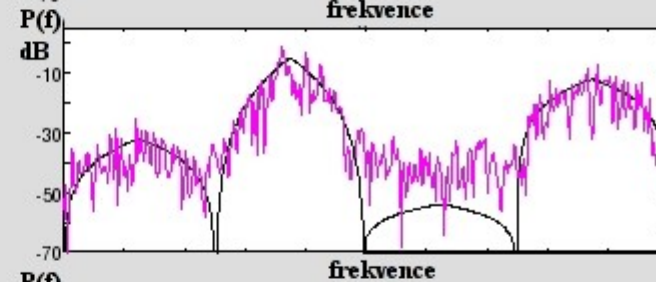
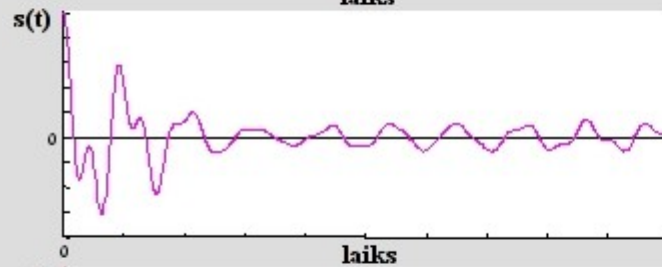
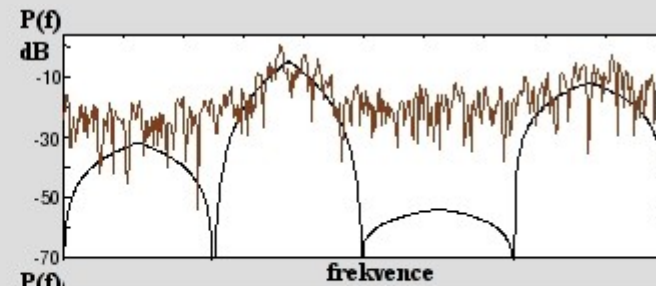
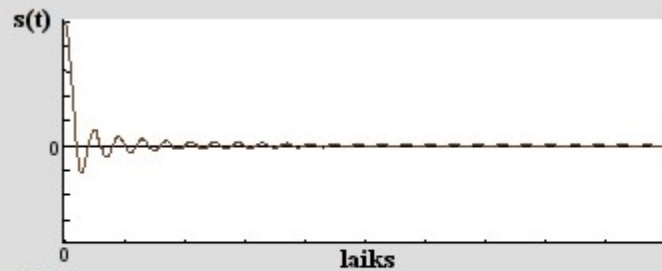
- Signāla attēlojumu frekvenču apgabalā iegūst, izmantojot tā autokorelācijas funkcijas novērtējumu
- Autokorelācijas funkcijas novērtējumu iegūst, izmantojot no šī signāla atkarīgu spektra atbalsta funkciju



- Autokorelācijas funkcijas vērtības ar iteratīva algoritma palīdzību var precizēt

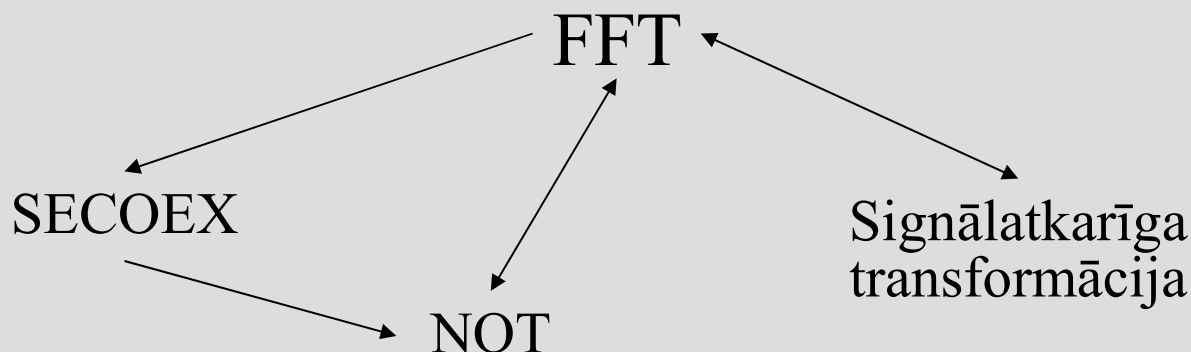
Frekvenču apgabals, Signālatkarīga transformācija

- Autokorelācijas funkciju un tām atbilstošo spektrālo blīvumu piemēri:



Frekvenču apgabals, metožu kombinēšana

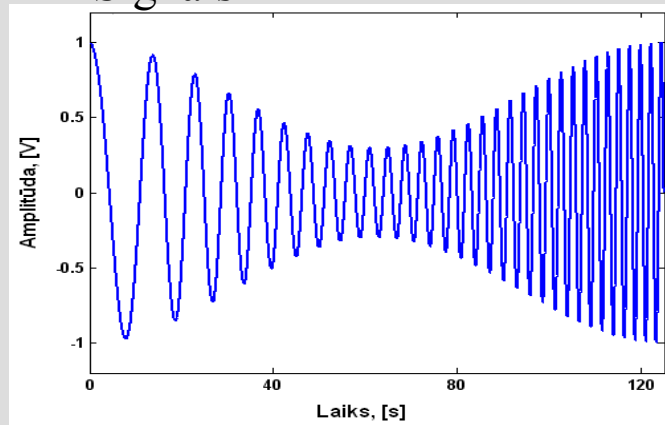
- Precīzāka un ātrāka rezultāta iegūšanai metodes savā starpā tiek kombinētas:



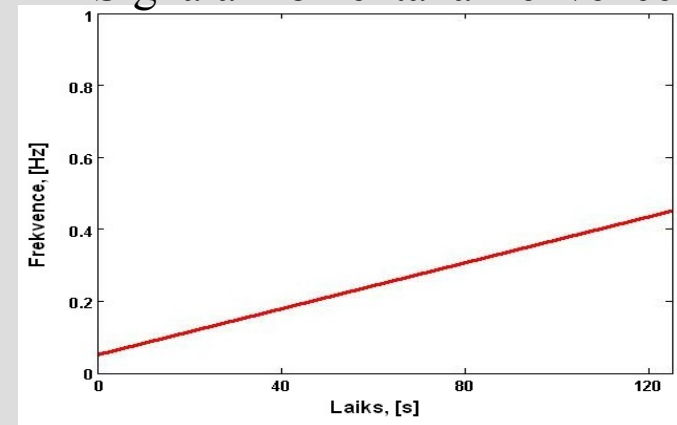
- Piemēram, ja signāls sastāv no vienas vai vairākām harmonikām, tad
 1. Pielietojot FFT, tiek noteikts mazs frekvenču apgabals, kurā atrodas signāla jaudīgākā harmonika
 2. Harmonikas frekvence, izpildot SECOEX vienu iterāciju, tiek noteikta precīzāk
 3. Pielietojot neortogonālo transformāciju, atrod iterāciju rezultātā atrasto harmoniku amplitūdas un fāzes

Laika-frekvenču apgabals

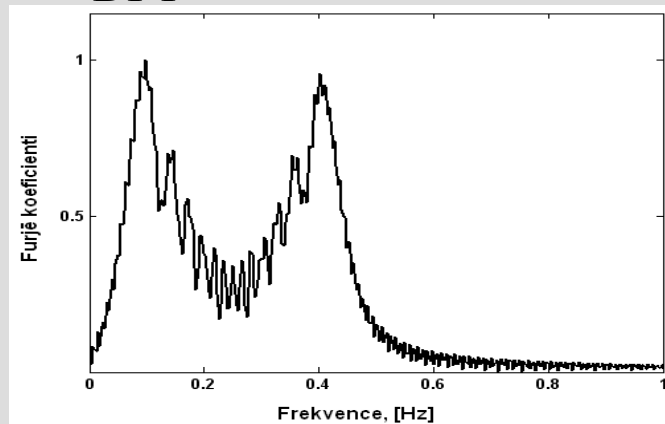
Signāls



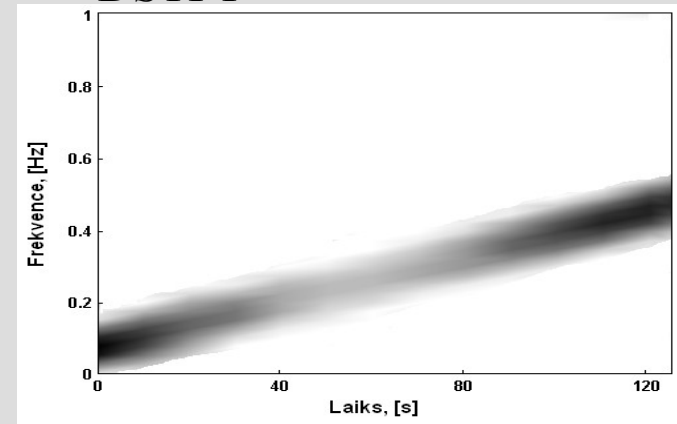
Signāla momentānā frekvence



DFT



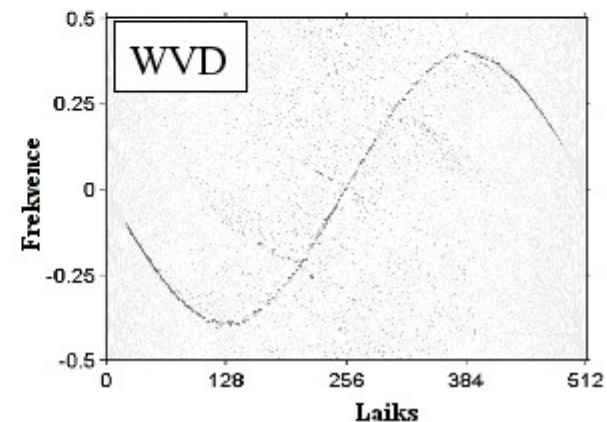
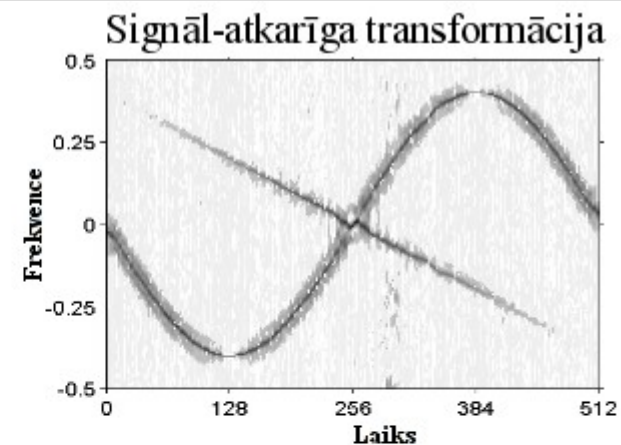
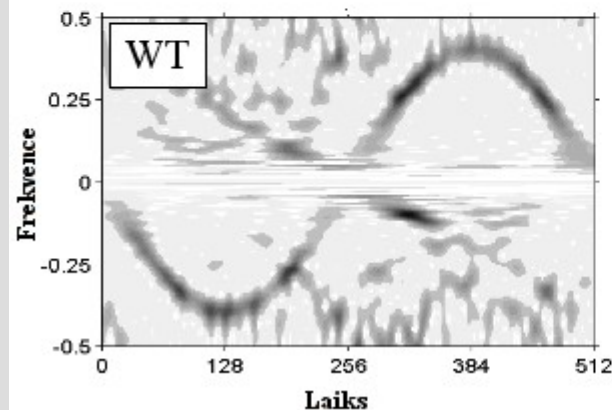
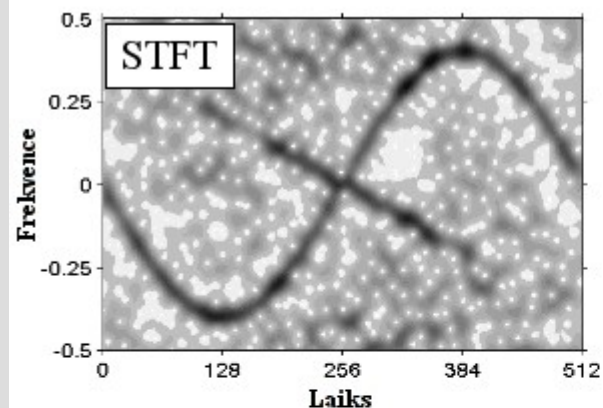
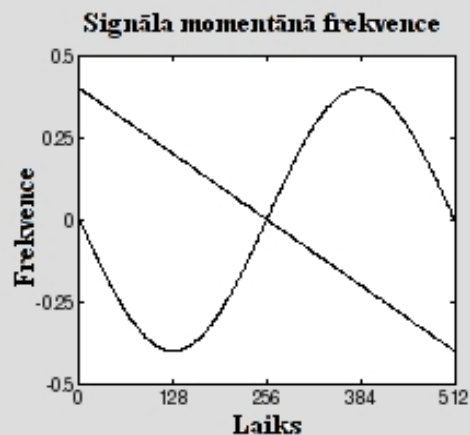
DSTFT



Laika-frekvenču apgabals

	Priekšrocības	Trūkumi
STFT	Signāls tiek dalīts intervālos, uzskatot, ka katrā no tiem tas ir stacionārs	Palielinot izšķiršanu frekvenču apgabalā, samazinās izšķiršana laika apgabalā
WT	Ērta matemātiskā struktūra	Samazinoties/pieaugot frekvencei, samazinās izšķiršana laika/frekvenču apgabalā
WVD	Augsta izšķiršana laika un frekvenču apgabalos	Uzklāšanās troksnis multikomponenšu signāliem

Laika-frekvenču apgabals



Paldies par uzmanību!

Lietotāja interfeisa un darbības funkciju izveide izmantojot LabView virtuālo instrumentu projektēšanas vidi

- Brīvas formas signālu ģenerators projekts - Aivars Ševerdaks
- Signālu reģistrators projekts - Mārtiņš Liepiņš

Prezentācijas saturs

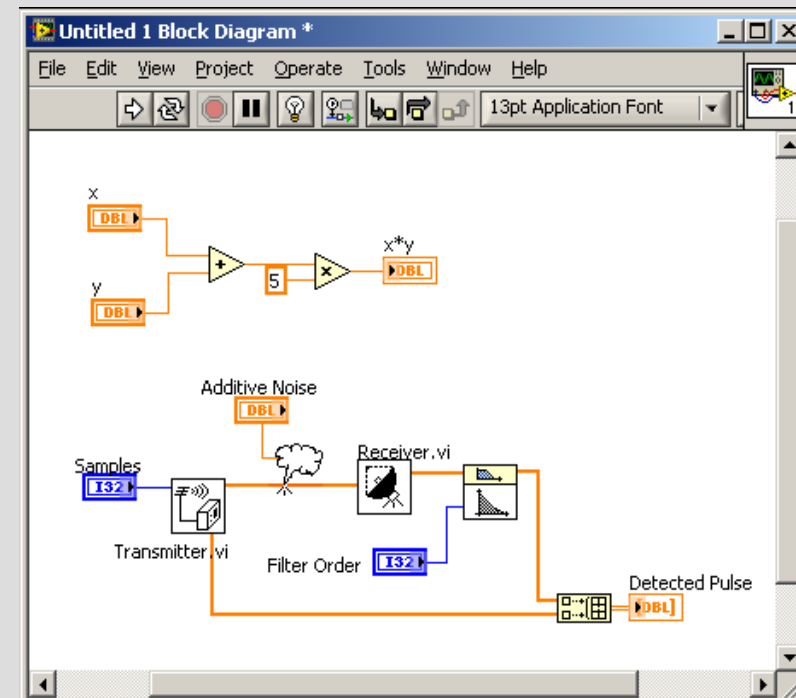
- Kas ir LabView
- Uzbūve un struktūra
- NI-VISA
- Brīvas formas signālu ģenerators projekts
- Signāla reģistrators projekts

Kas ir LabView?

- **L**aboratory **V**irtual **I**nstrument **E**ngineering **W**orkbench
- Pilnībā grafiska virtualo instrumentu izstrādes vide
- Izstrādes mērķis bija datu apmaiņa ar laboratorija iekārtām
- Pirmā versija izlaista 1986.gadā priekš Apple Macintosh platformas
- 1993.gadā iznāk multiplatformu versija, kurai līdz šim brīdim ir virkne jaunu, papildinātu versiju
- Ar LabView iespējams veikt dažādus uzdevumus:
 - veidot grafiskos interfeisus
 - iegūt datus no datu apstrādes kartēm
 - veidot simulācijas
 - vadīt reālus instrumentus
 - apstrādāt mērījumu datus
 - izmantot kopā ar citām programmām(MSExcel,Multisim u.c)

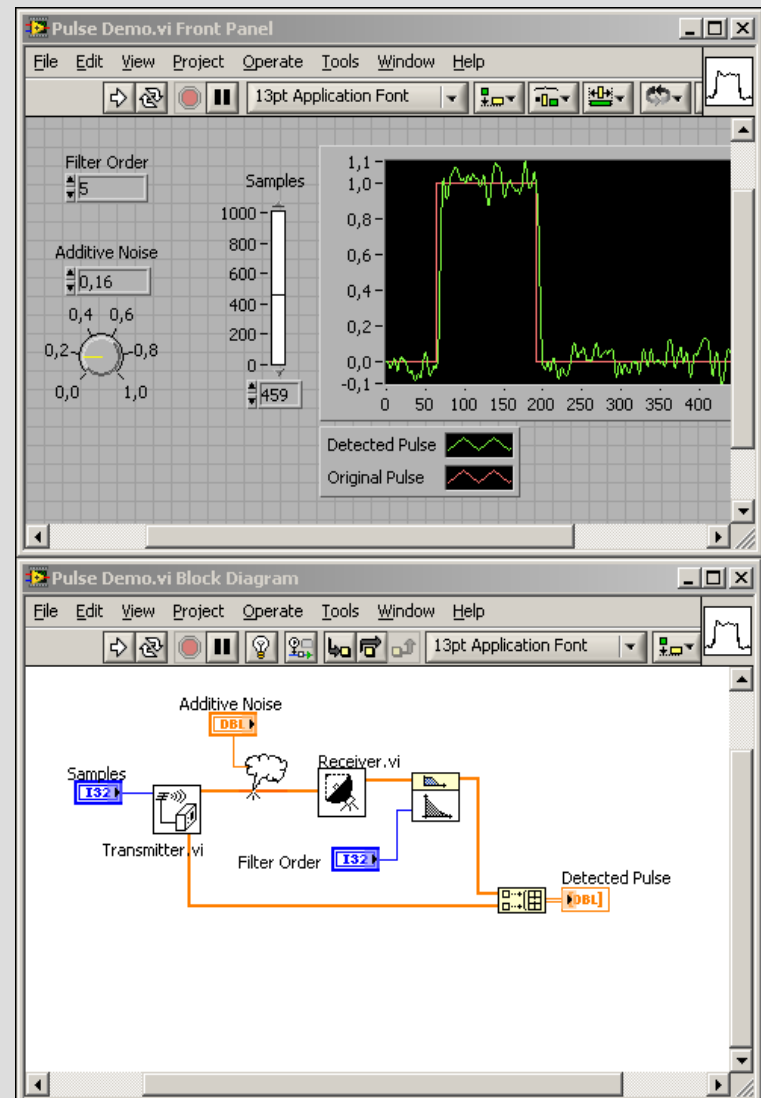
Kapēc LabView?

- Pieejams uz MacOS, Linux, Windows, Sun operētājsistēmām
- Izveidojot virtuālo instrumentu zem vienas no platformām, tas darbosies arī uz pārējām
- Vienkārša sadarbība ar I/O portiem un lietotāja interfeisu
- Iebūvētie bloki, kuri ļauj veidot savas bibliotēkas, Matlab, C
- Paralēla koda izpilde



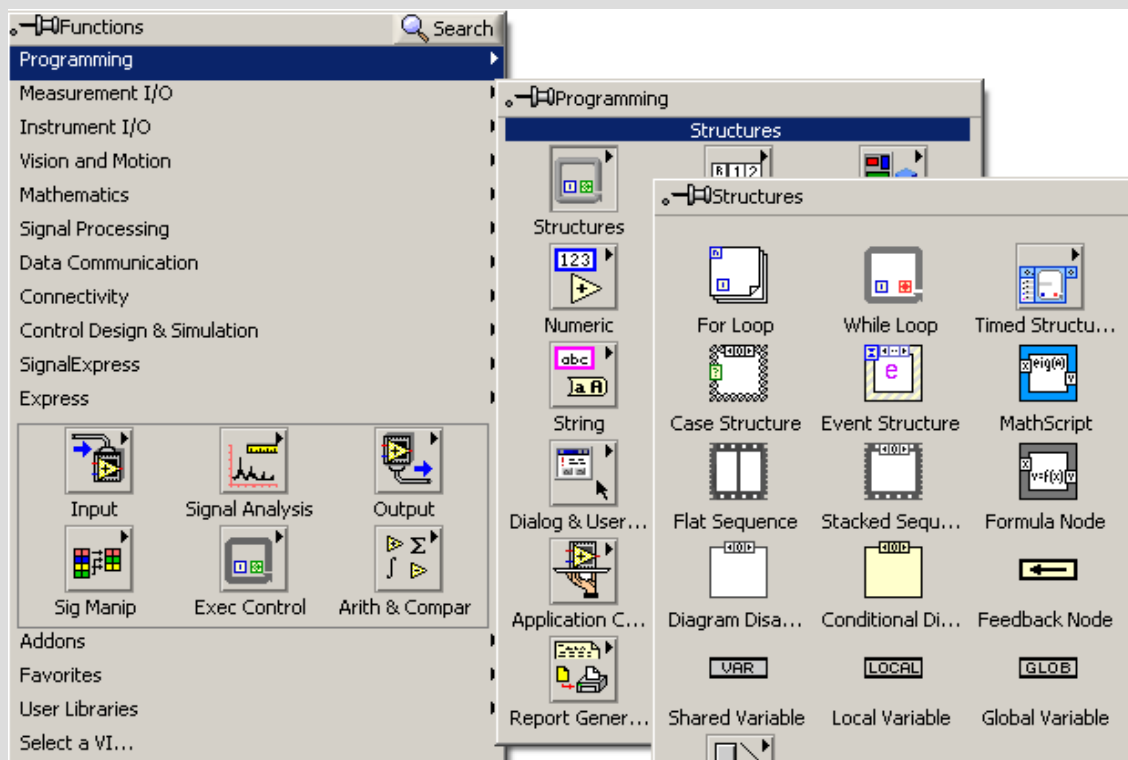
LabView struktūra un uzbūve

- Izmanto grafisku (G) programmēšanas valodu
- Virtuālo instrumentu veido divos interaktīvos logos-lietotāja interfeiss un blokshēma
- Blokshēma veido programmas kodu
- Programmas kods sastāv no dažādiem funkciju blokiem un savienojošiem vadiem
- Datu plūsma kontrolē izpildi



LabView struktūra un uzbūve

- Elementu tipi
 - Indikatori un vadības elementi
 - Iebūvētās funkcijas
 - Struktūras



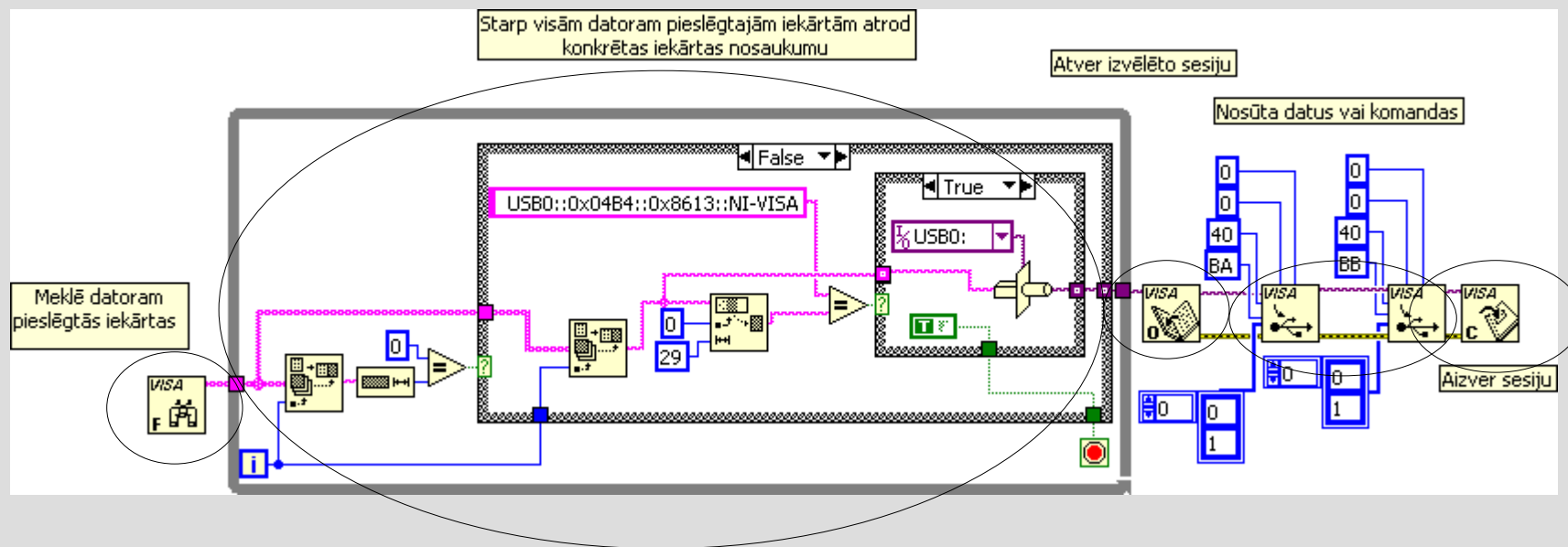
Kas ir NI-VISA???

- VISA – Virtual instrument software architecture
- Protokols, kas nodrošina sadarbību starp iekārtu (hardware) un programmēšanas vidi (Labview, LabWindows u.c)
- Atbalsta dažādas OS: Win XP/64, Win 2000/ME/98, MAC OS X/9/8, Linux, Solaris
- Atbalsta dažādus interfeisa tipus: Serial, Ethernet, USB, GPIB (IEEE 488), FireWire, PXI un VXI
- Programmēšanā tiek izmantota sava terminoloģija:
 - Resource – jebkurš instruments sistēmā
 - Session – lai darbotot ar instrumentu ir jāatver attiecīgā sesija, kurai ir savs unikāls nummurs
 - Instrument descriptor – konkrētā resursa vārds

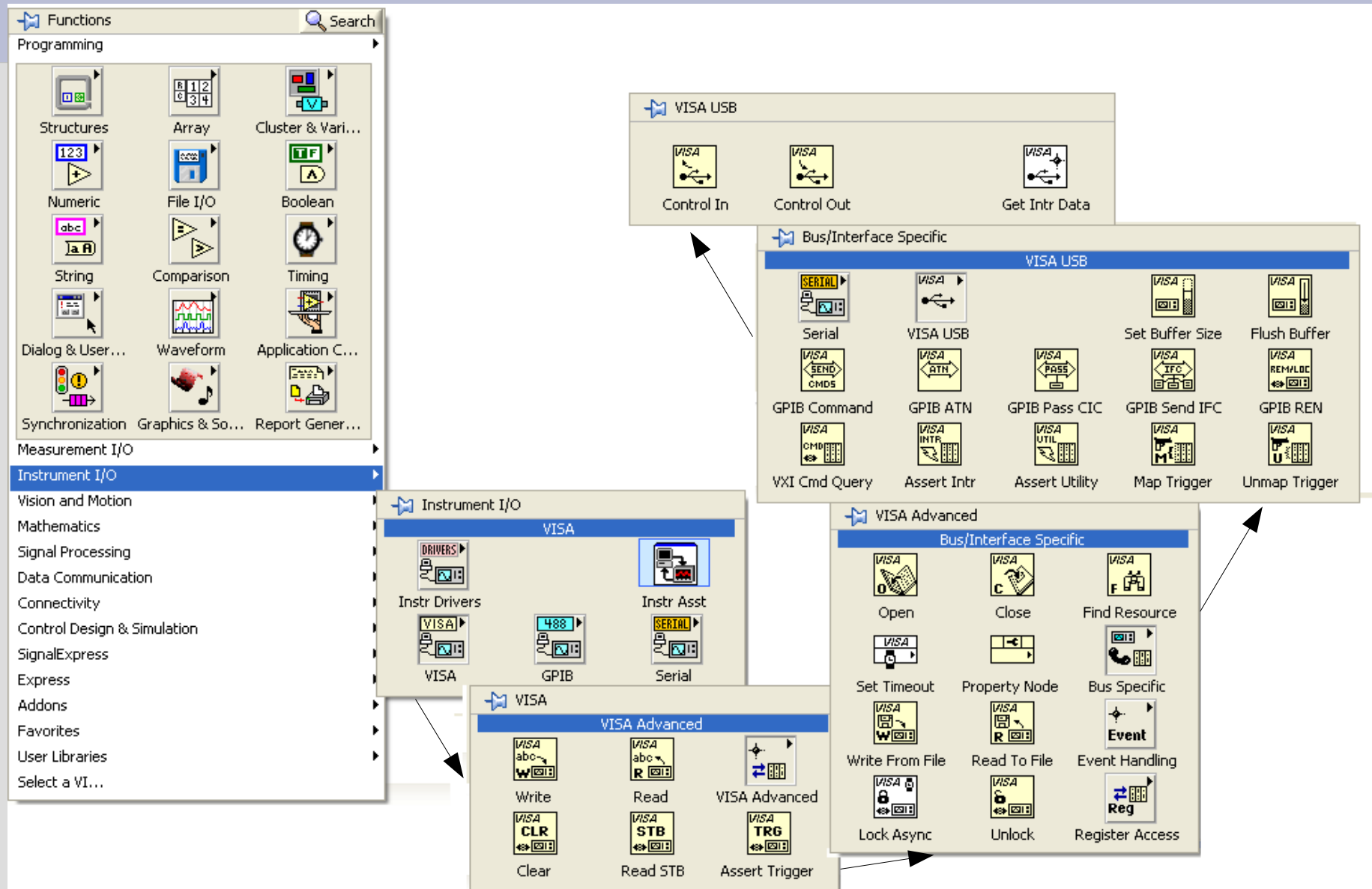
Kas ir NI-VISA???

- Daudzas funkcijas komunikācijai ar iekārtām ir vienādas, neatkarīgi no izmantotā interfeisa tipa
- Jāzina pieslēgtās iekārtas vadības komandas, taču datu sūtīšanas un saņemšanas principi visām iekārtām ir vienādi
- Neatbalsta PCIeExpress interfeisu
- Nepieciešams draiveris katrai iekārtai (izmantojot USB, PXI/PCI, FireWire)
- Draiveri nav nepieciešams programmēt, izmanto programmu NI Driver Wizard
- Ir dažādas apakšprogrammas, kas atvieglo darbu un kļūdu meklēšanu

LabView piemērs sadarbībai ar USB

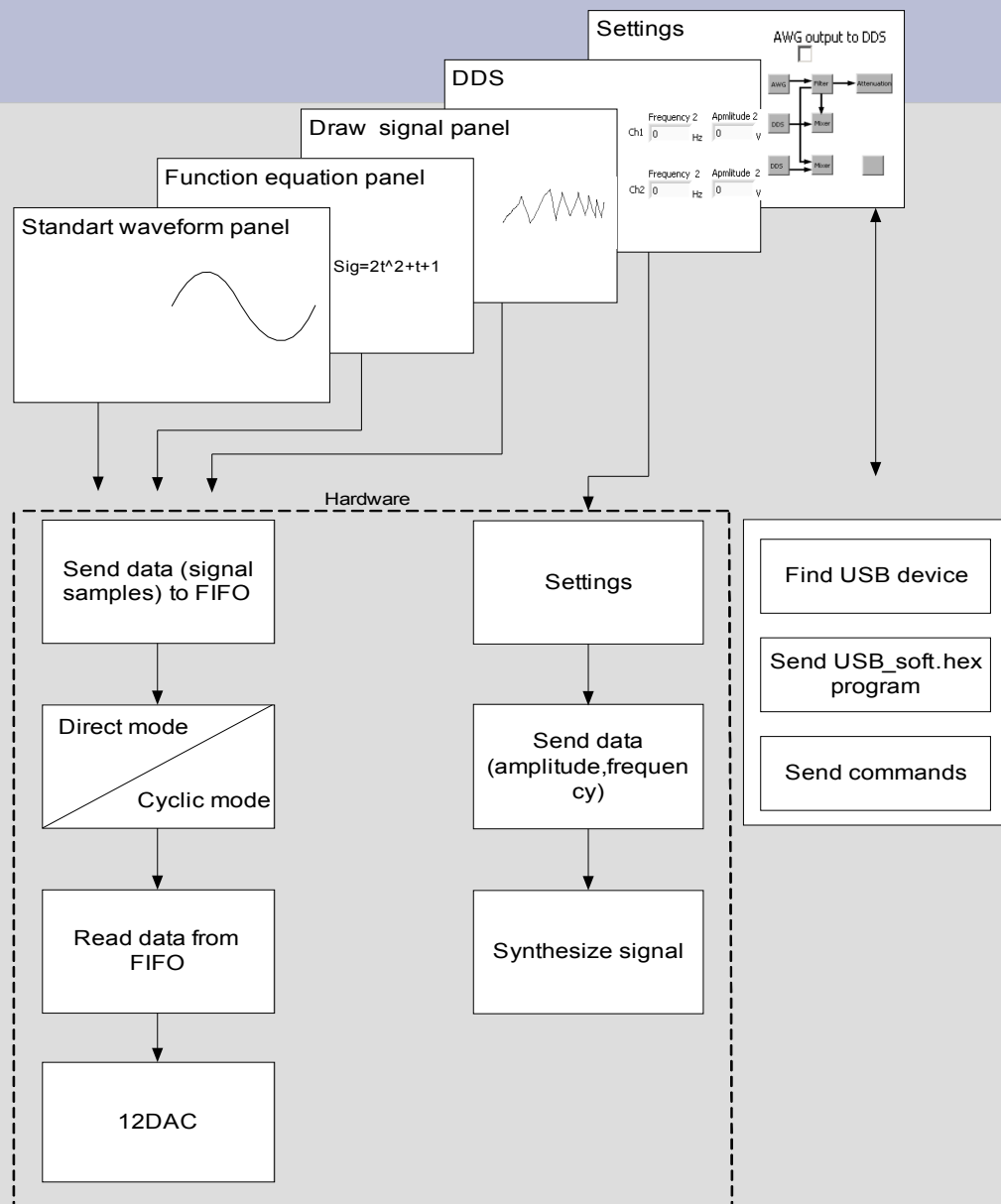


VISA funkciju izvēles panelis



Brīvas formas signālu ģenerators projekts

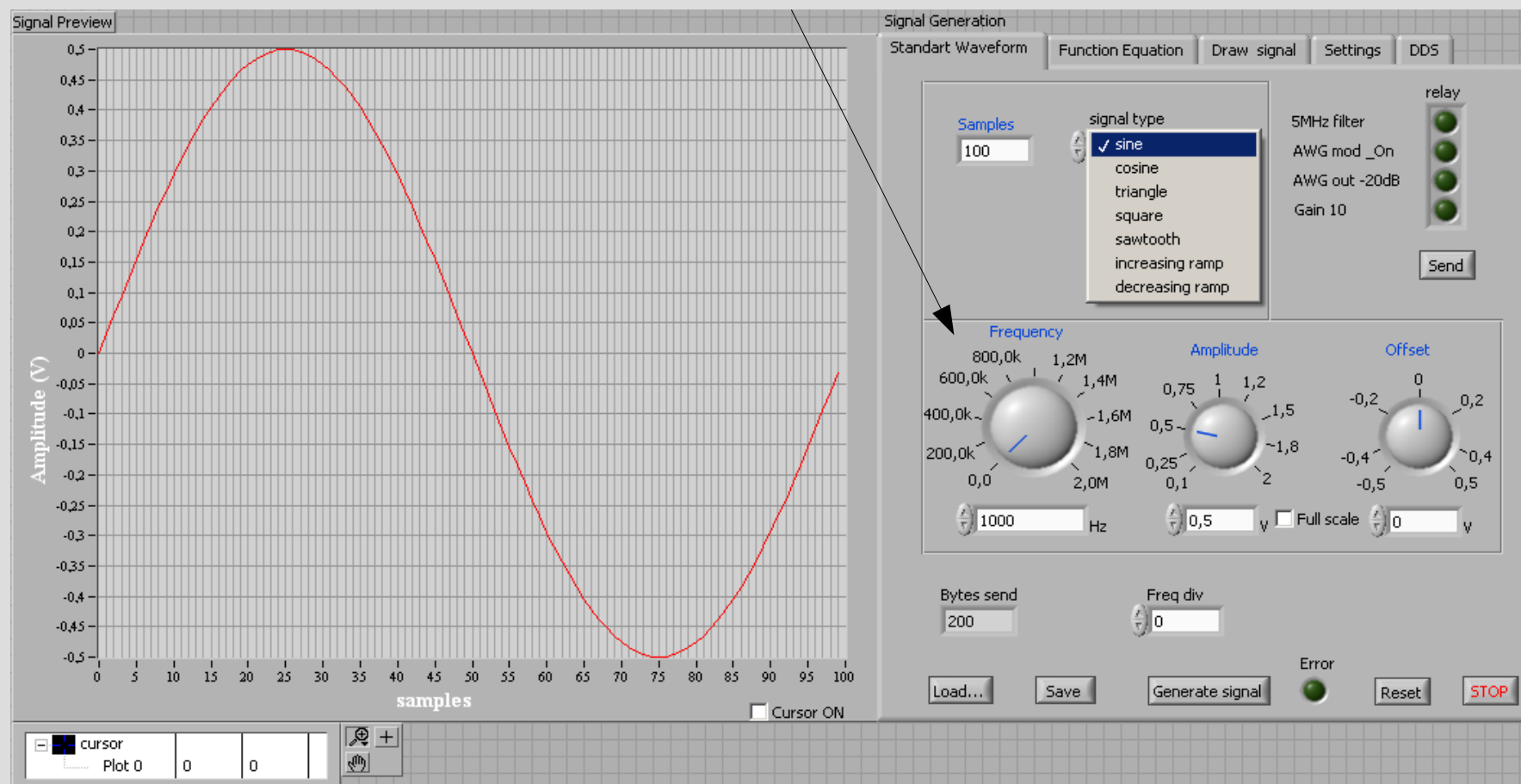
Ģenerators virtuālā instrumenta blokshēma



Brīvas formas signālu ģenerators

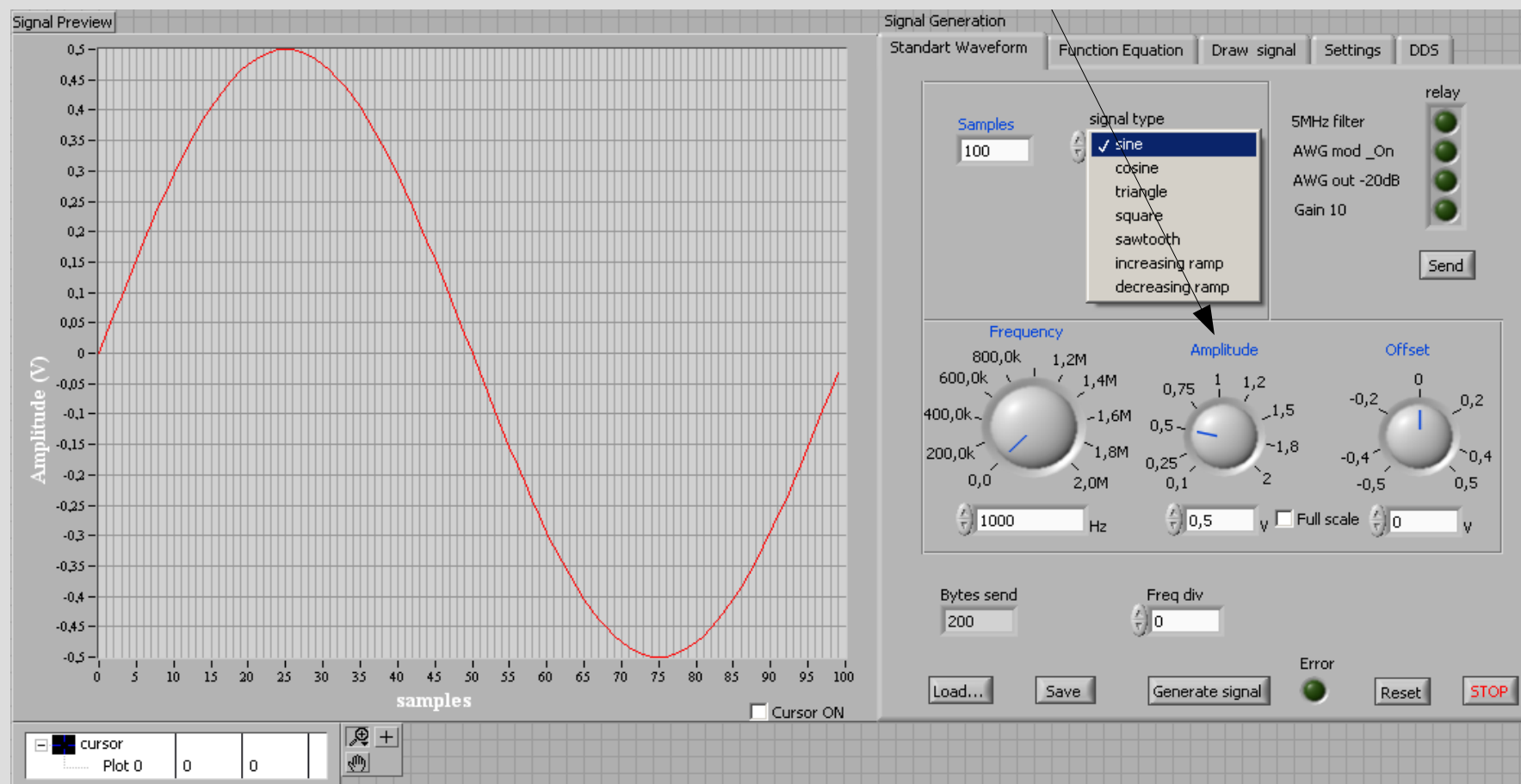
Standart Waveform lietotāja interfeiss

Freq



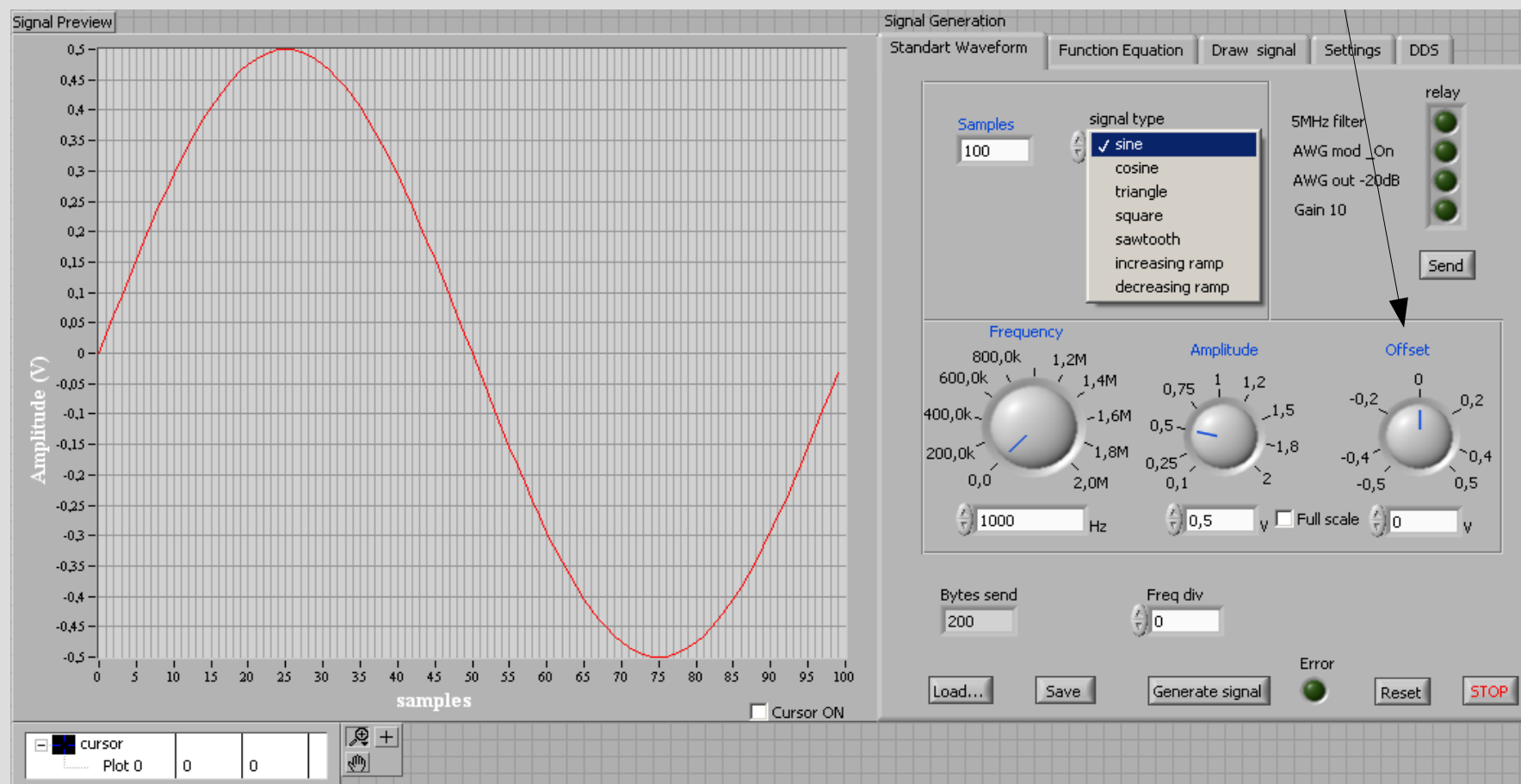
Brīvas formas signālu ģenerators

Standart Waveform lietotāja interfeiss



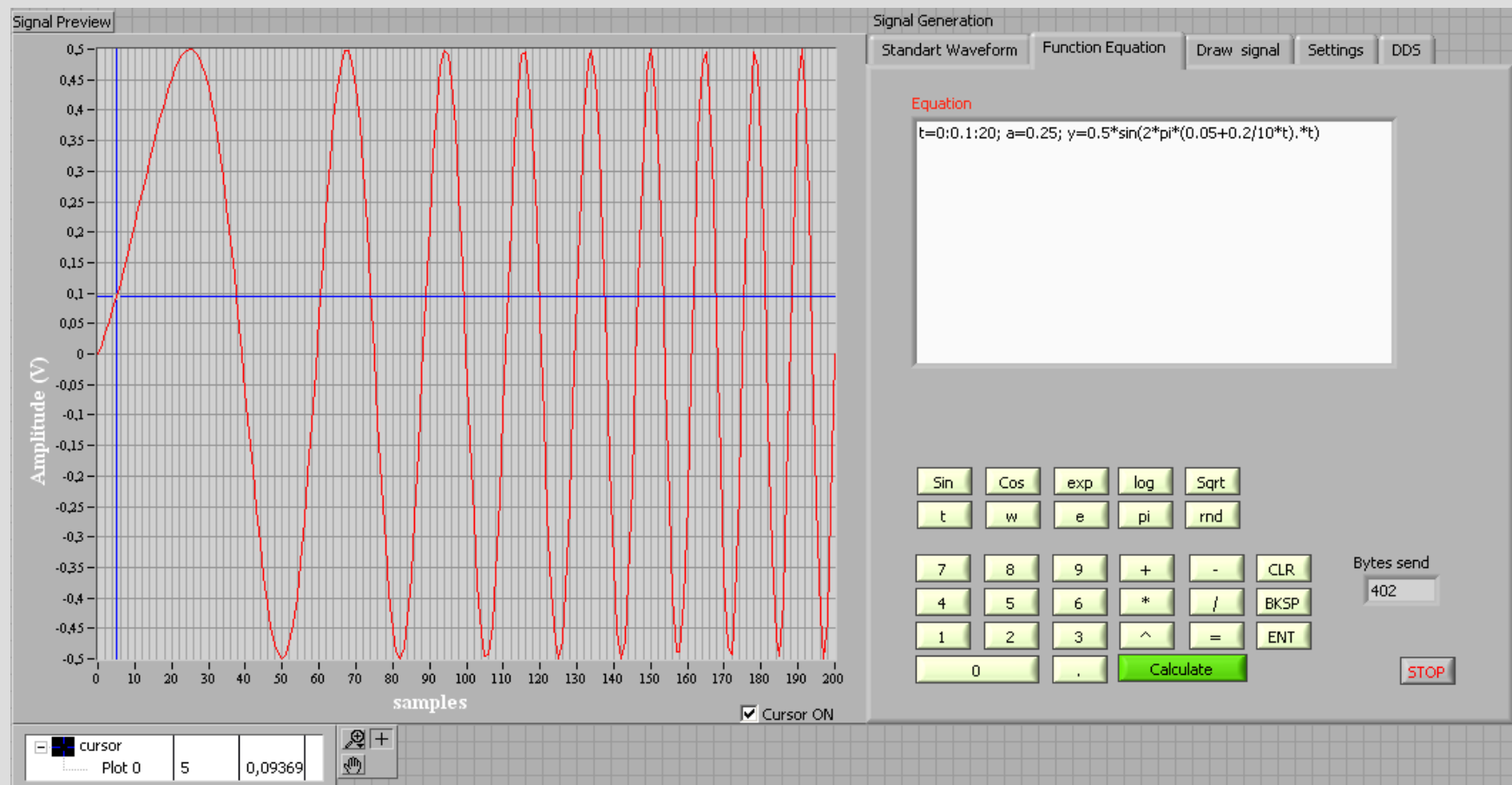
Brīvas formas signālu ģenerators

Standart Waveform lietotāja interfeiss



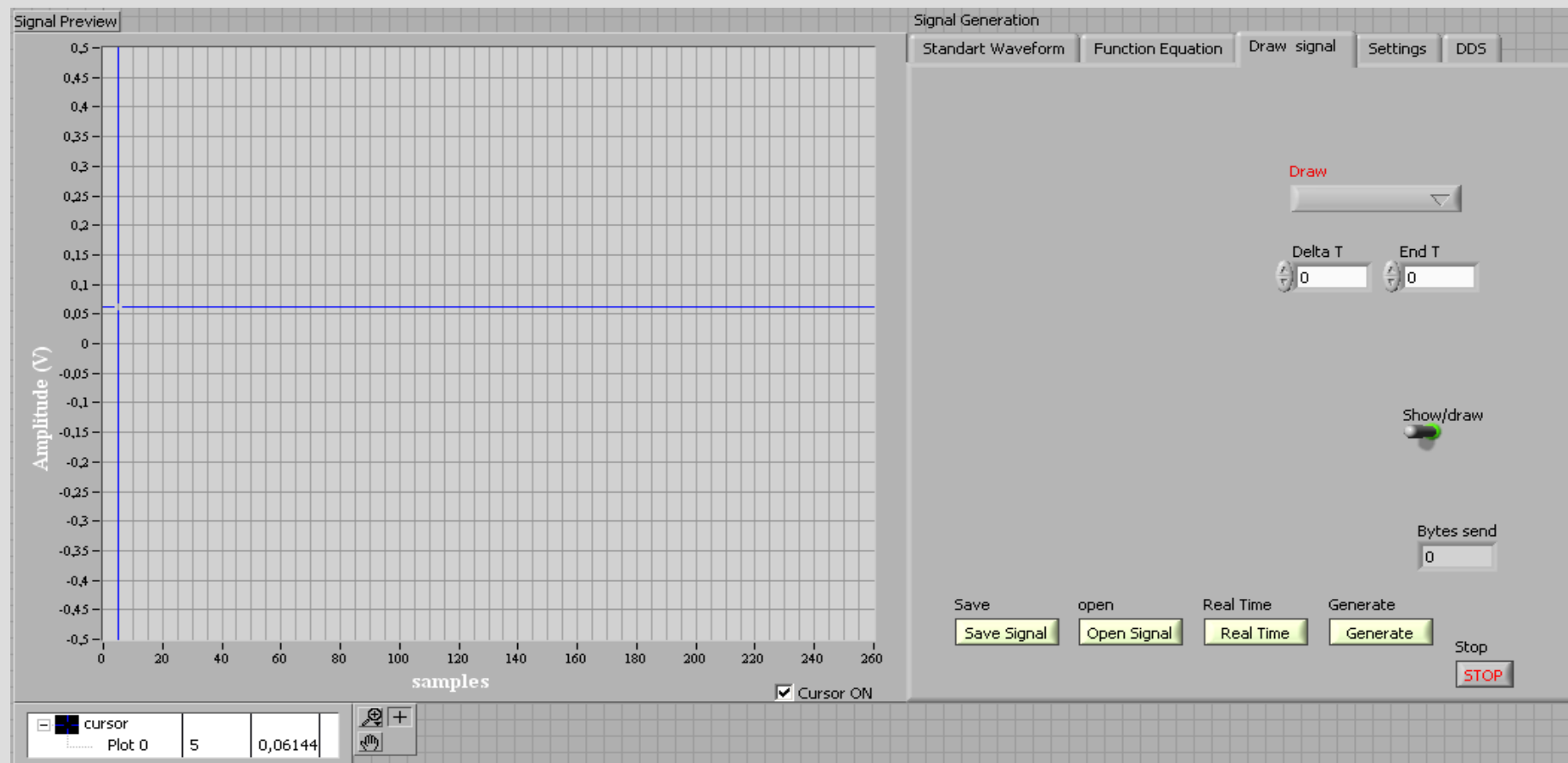
Brīvas formas signālu ģenerators

Function Equation lietotāja interfeiss



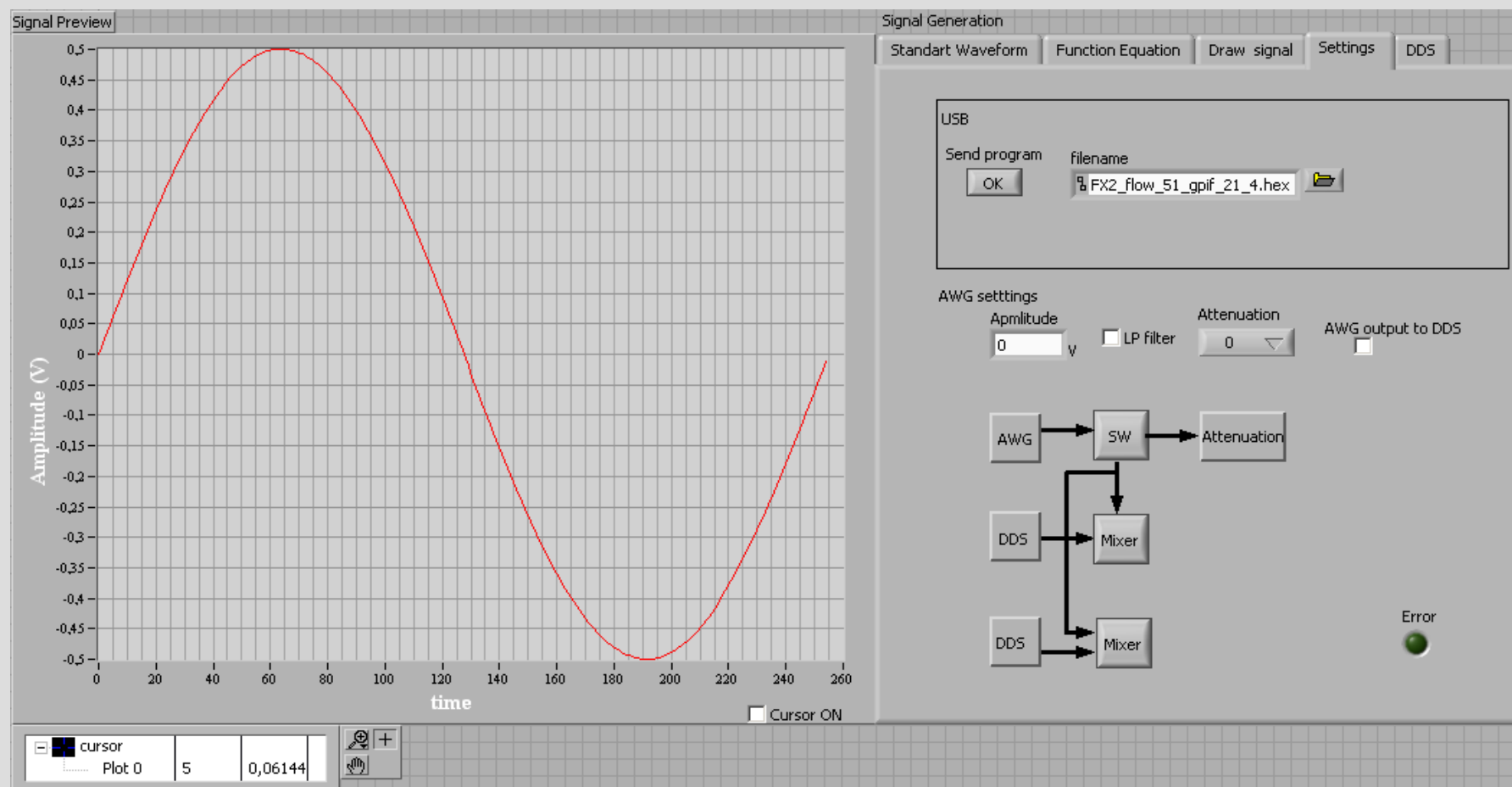
Brīvas formas signālu ģenerators

Draw Signal lietotāja interfeiss



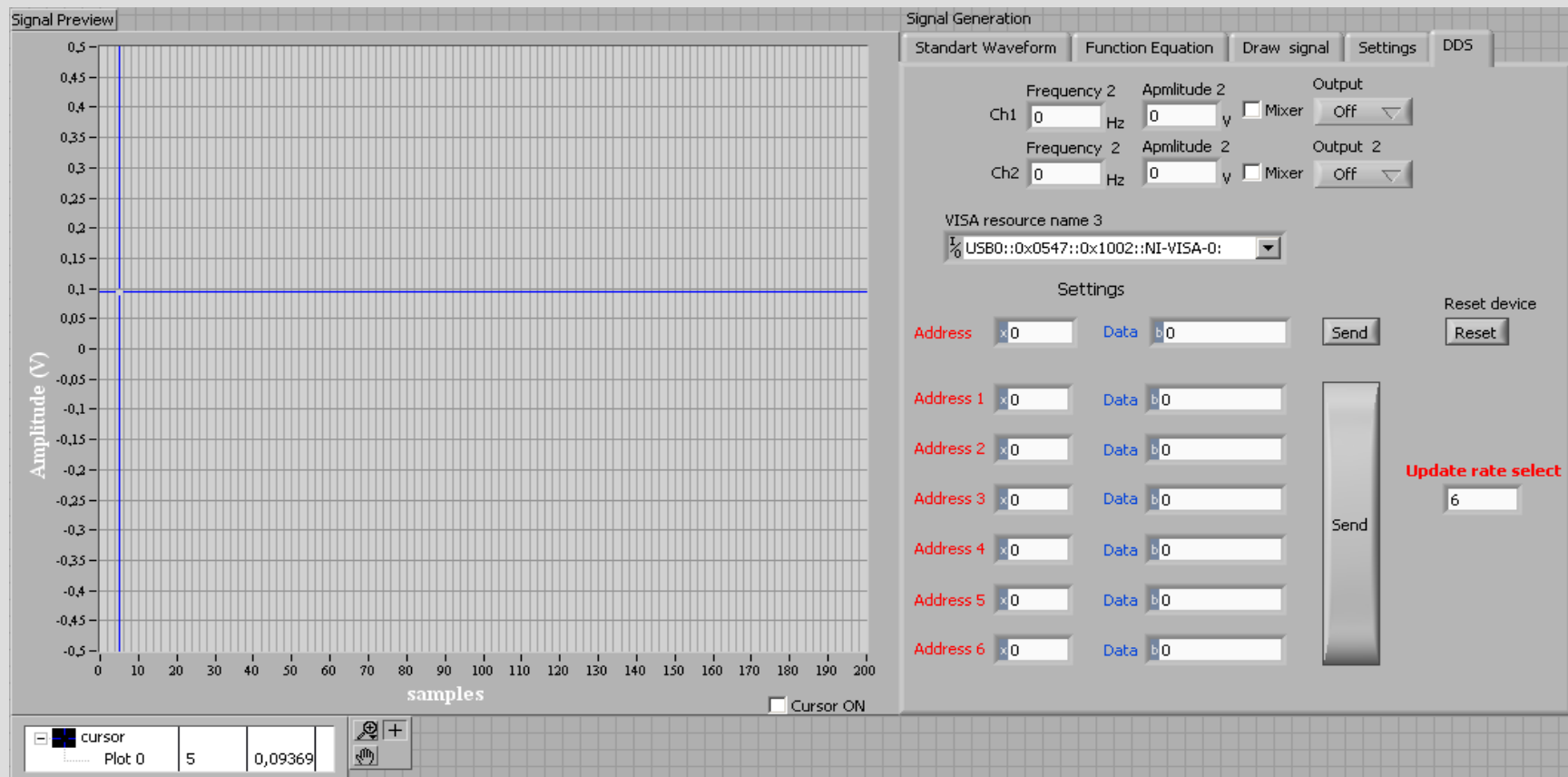
Brīvas formas signālu ģenerators

Settings lietotāja interfeiss



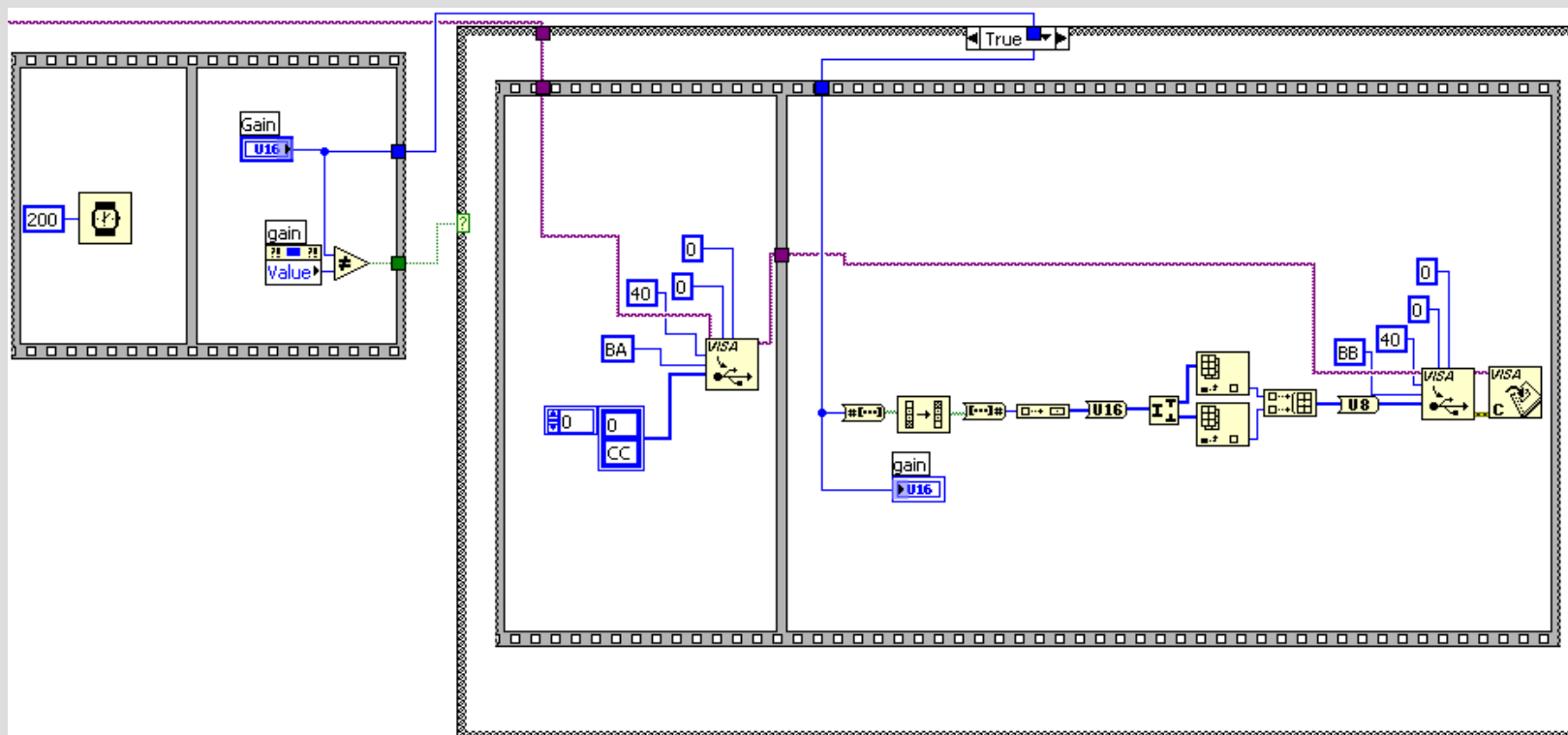
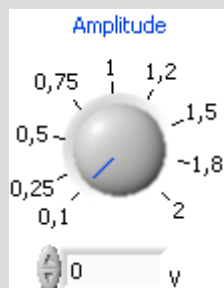
Brīvas formas signālu ģenerators

DDS lietotāja interfeiss

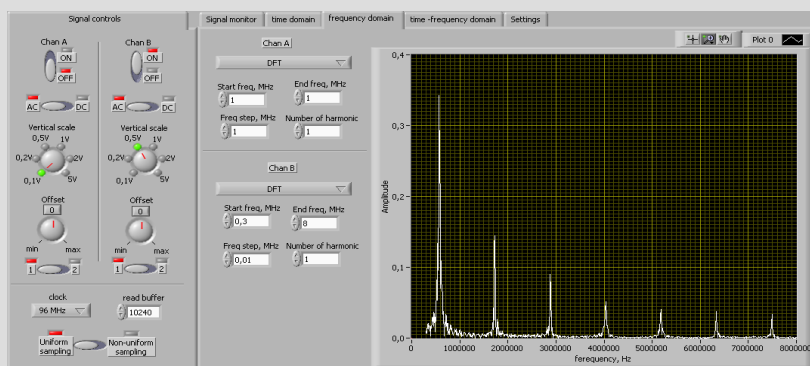


Brīvas formas signālu ģenerators

- Blokshēma amplitūdas maiņai

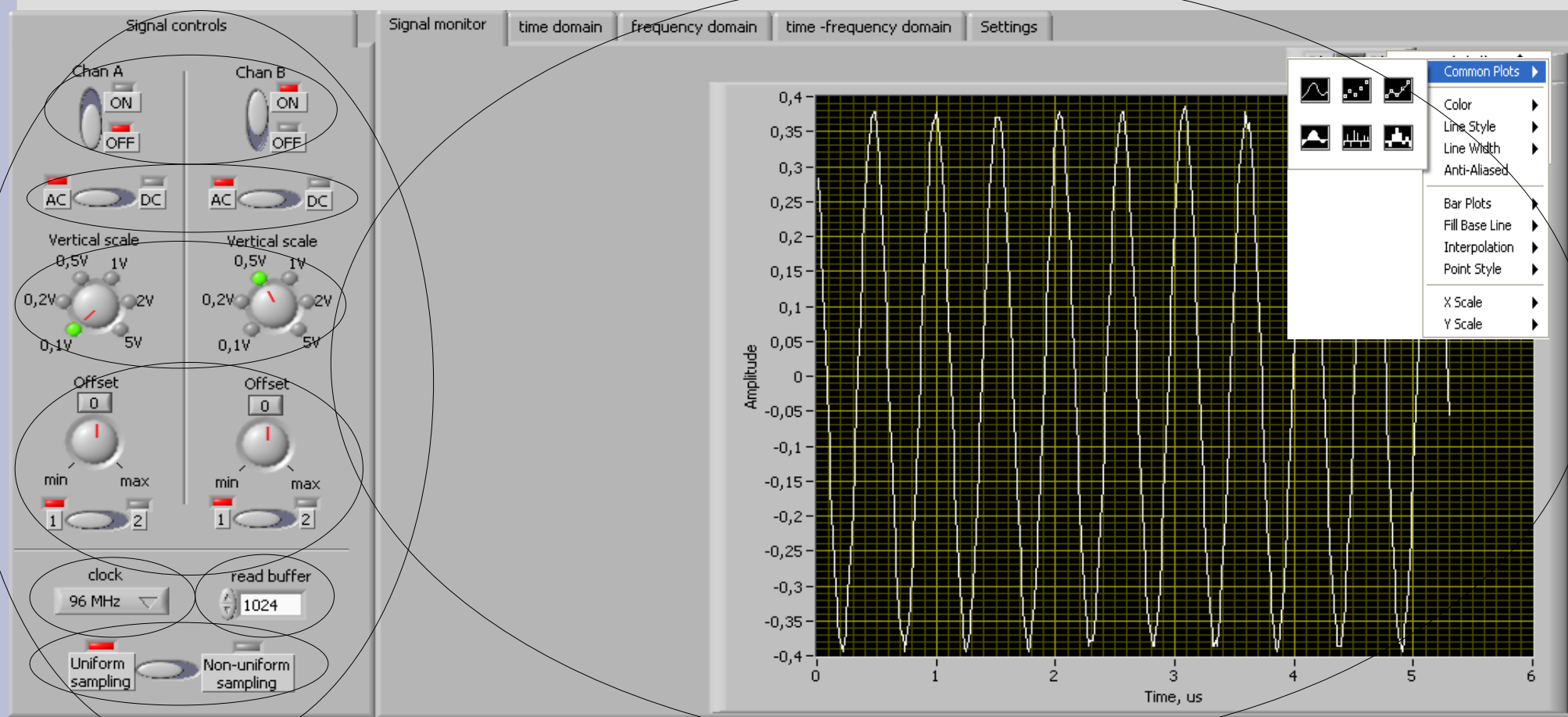


Signālu reģistrators

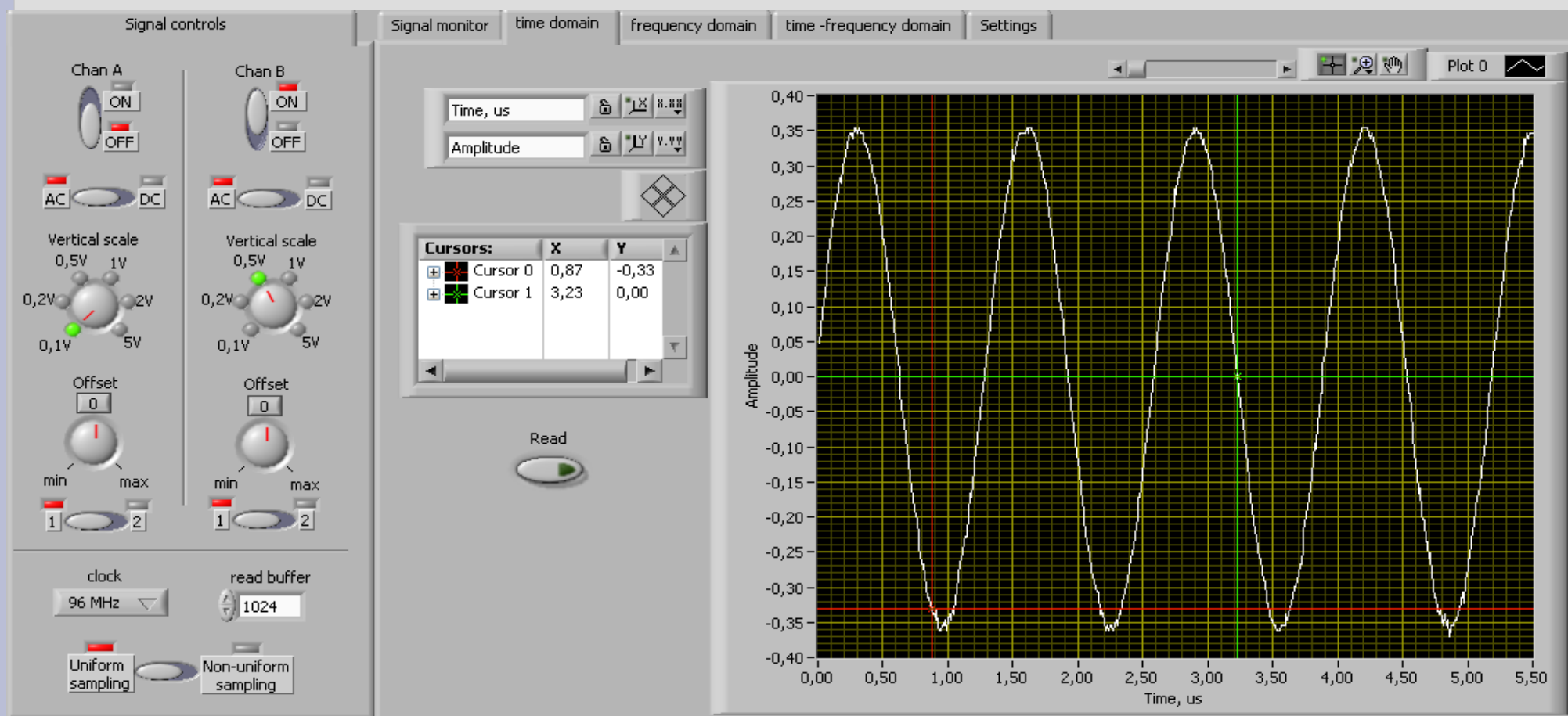


Signāla kontrole

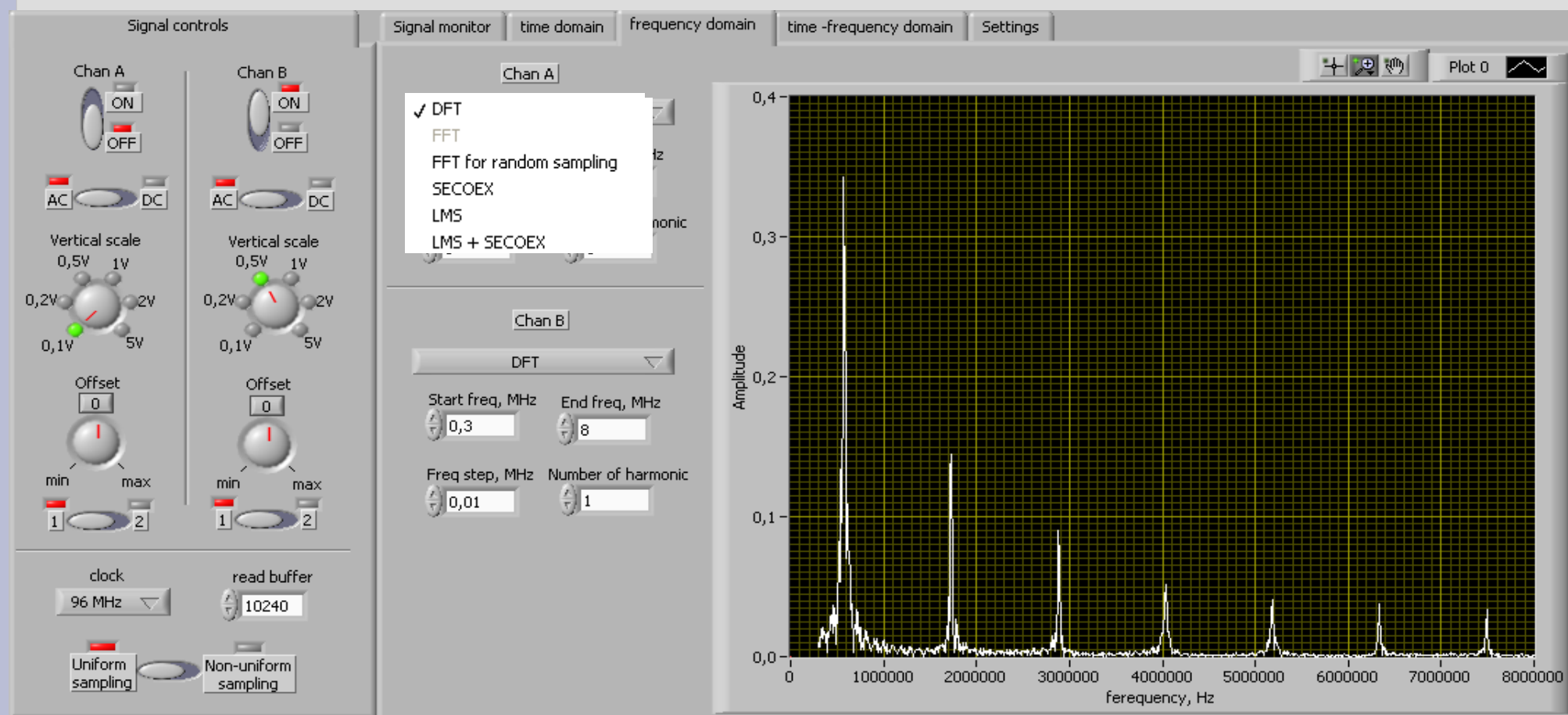
Modulārs signālu reģistrators ar pieņemamām izvēlēm



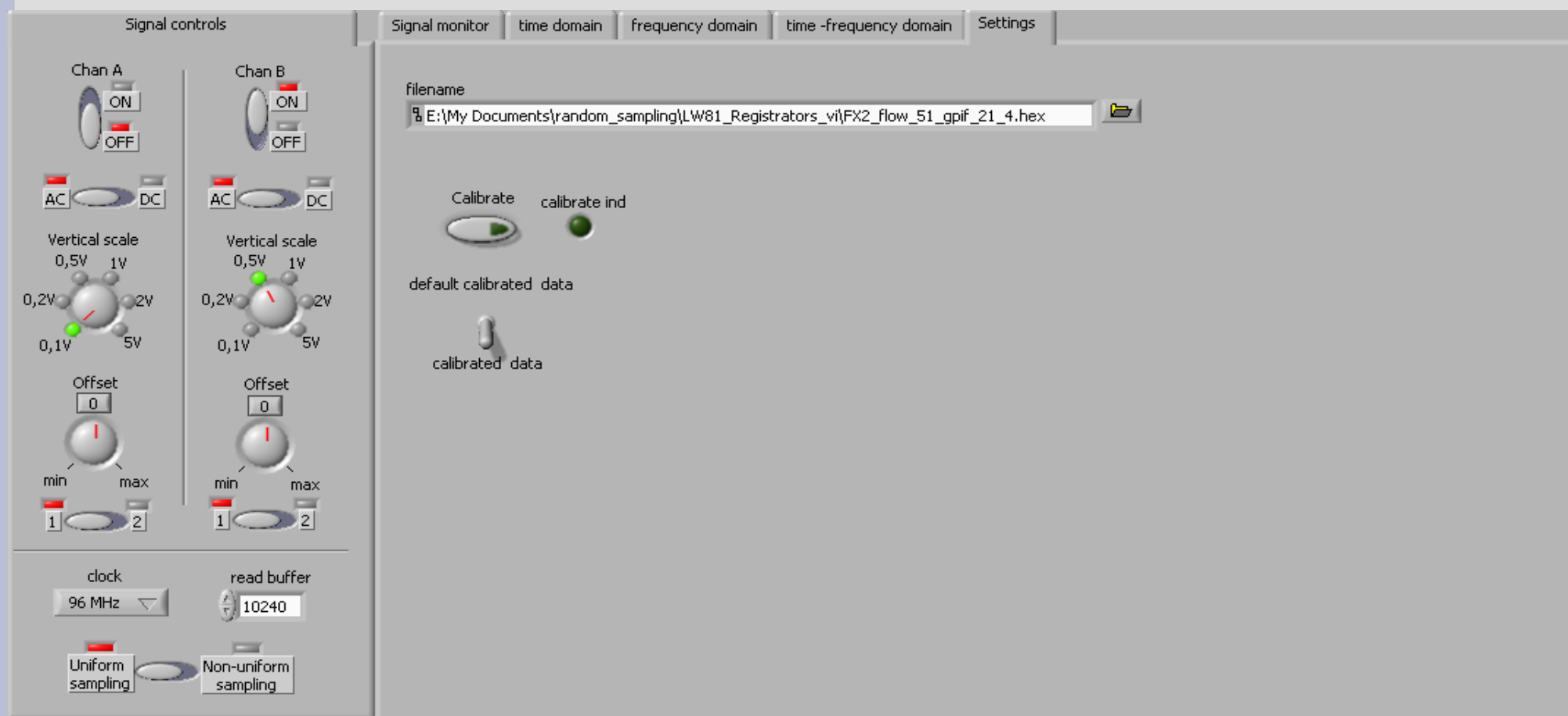
Laika apgabals



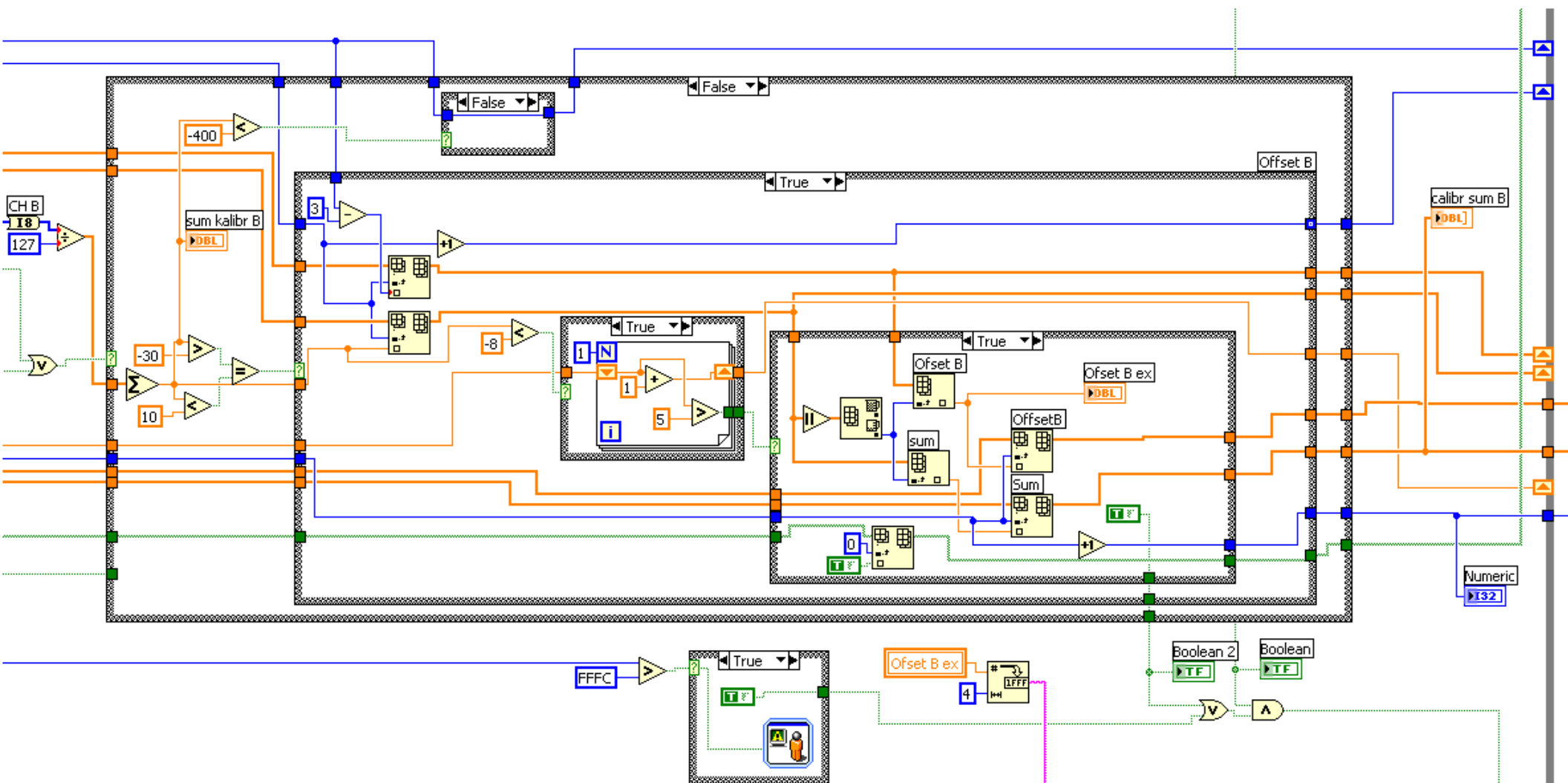
Frekvenču apgabals



Iekārtas uzstādījumi



Signālu reģistratora shēmas fragments

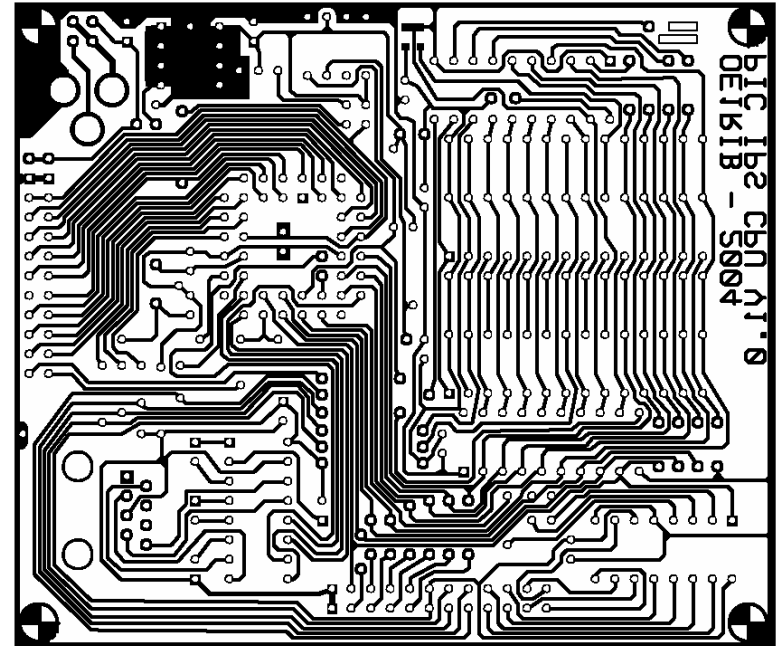
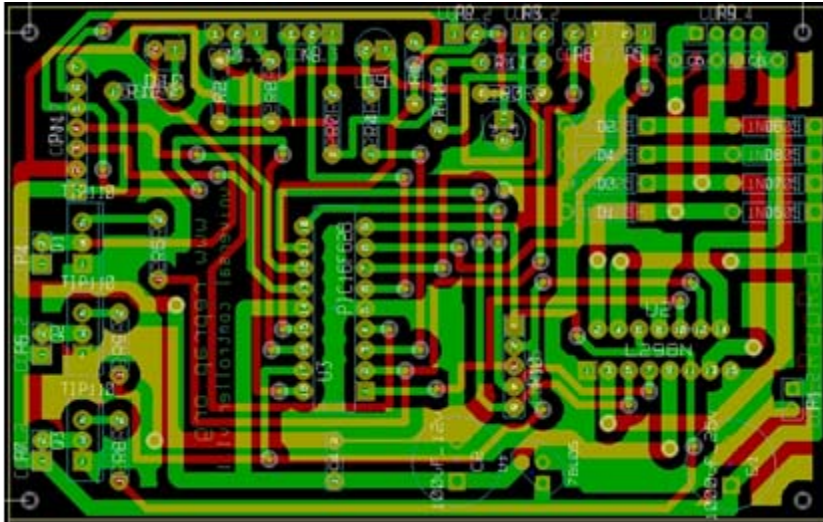


Paldies!

Daudzslāņu iespiedplašu projektēšana un montāža

Igors Homjakovs

Nesen tas varēja apmierināt mūsu prasības

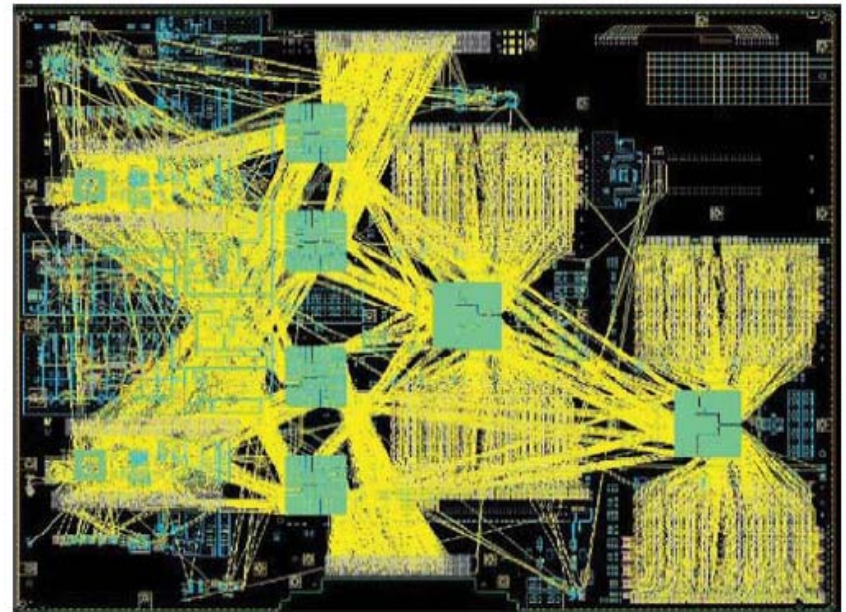
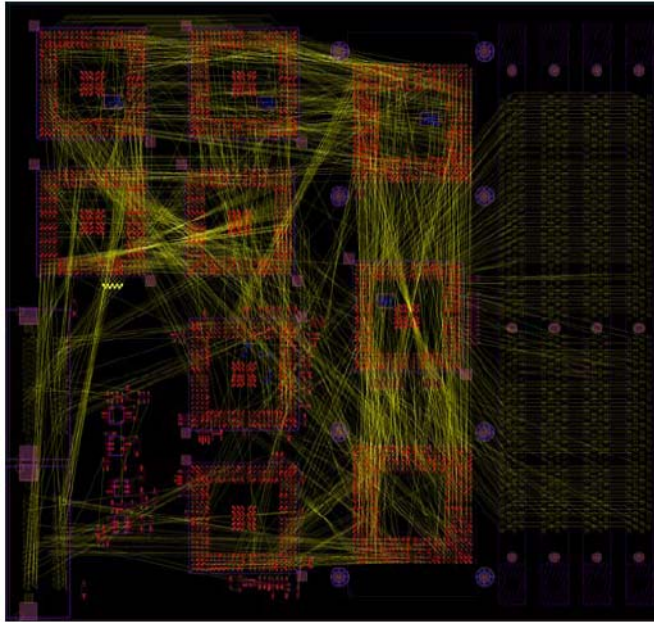


2 slāņi

Vadītāju biezumi 0.5+ mm (20 mil)

“Lielie” komponenti (līdz 100 izvadu)

“Lielas” atstarpes starp komponentiem, izvadiem, celiņiem (2+ mm)



Patreizējā situācija:

Projekti paliek arvien sarežģītāki

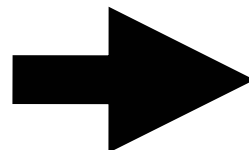
Attālumi starp komponentu izvadiem samazinās (0.5-0.8mm)

Palielinās ieeju/izeju skaits (200 +)

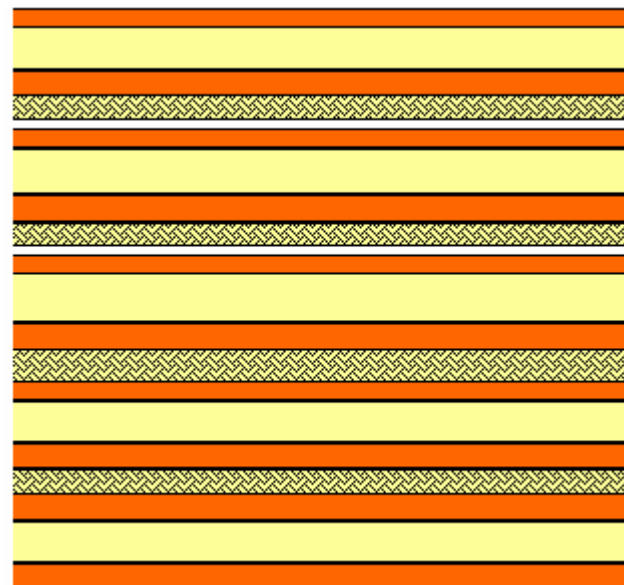
Signāli paliek ātrāki

Īsāks laiks izstrādei

2 slāņi



10 slāņi



Lietas par kurām jāpadomā:

Slāņu skaits

- Cik dažādu spriegumu sistēmā?
- Kādas komponentes
- Blīvums

Izmēri

Materiāli (FR-4 ?)

- Biezums
- Ātrums
- Viļņu pretestība

Pārejas caurumi (Vias)

- Through Hole
- Blind
- Burried
- Laser

Slāņu izvietošana (Stackup)

Cena

Ražotāju iespējas

CAD tools

Vai viens cilvēks var paveikt projektu?

Vai var iztikt bez simulācijām?

Montāža (Lodāmurs?)

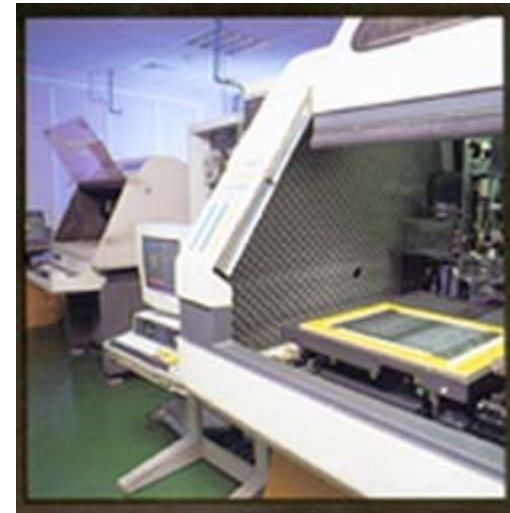
Testēšana

Nepietiek vietas pārbaudes vietām
(test points)

Nav TH (burried vias)

BGA komponenti

Kur ražot?

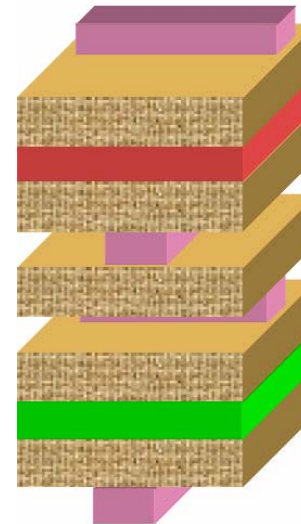


**Latvijā?
Ķīnā?**

Kam var uzticēties?

Specifikācija:

FR4,
THK: 1.6mm,
Cu: 1.0 oz all layers,
S/M: Green,
S/L: NO,
Min. Hole: 8mil, PTH,
board size: 167.67mm x 132.12 mm,
Finish: Leadfree HAL + G/F: 10u" ;
Flying probe test; with "Impedance Control".
Beveling of the PCIE edge connector 30 degrees.



1.0 oz, width = 5 mils

$Z_0 = 60$

0.5 oz, VCC

0.5 oz, width = 5 mils

$Z_0 = 60$

0.018 mm, width = 0.125 mm

$Z_0 = 60$

0.018 mm, GND

0.035 mm, width = 0.125 mm

$Z_0 = 60$

Manufacturer: "Sorry, we can't make 5 mils"

Iespiedplašu pārbaudes metodes:

Isolation resistance

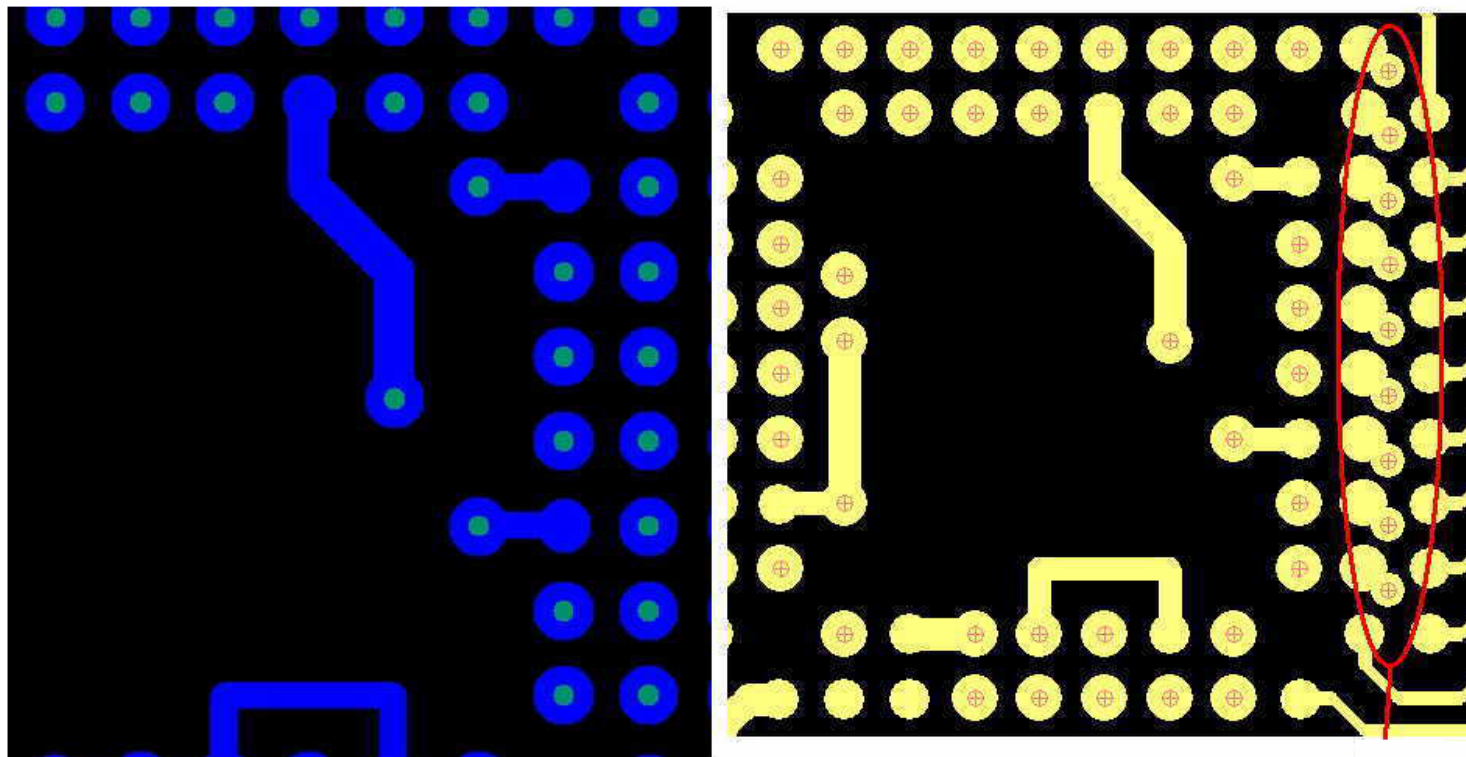
Controlled Impedance

Automated X-ray Inspection (AXI)

Automated Optical Inspection (AOI)

Flying Probe

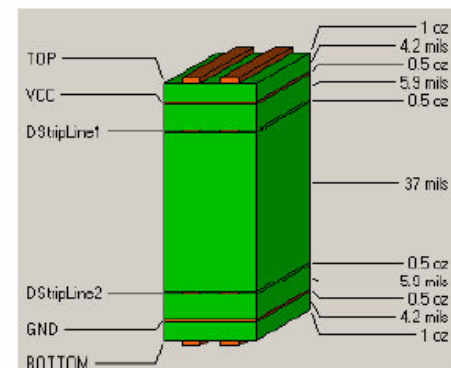
...



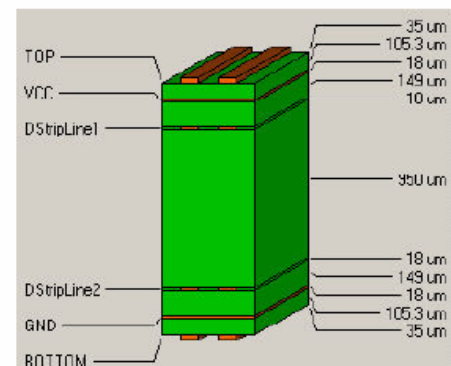
Rāžotāja ieteikumi

“Controlled Impedance” kalkulātors

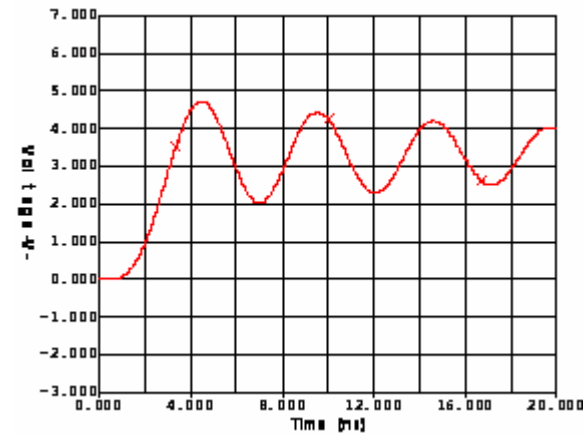
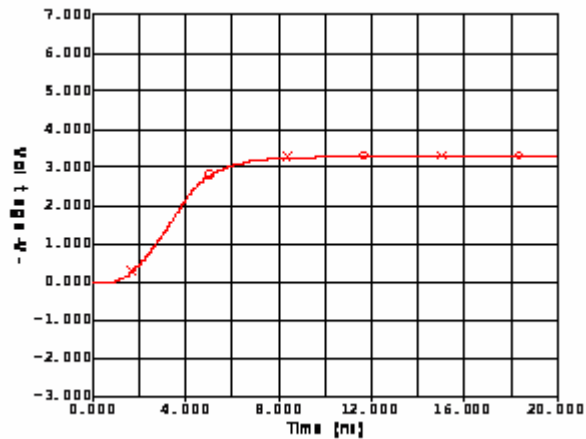
Layer Name	Type	Usage	Thickness mils, oz	Er	Test Width mils	Z0 ohm
TOP	Metal	Signal	1	<Auto>	5	60
	Dielectric	Substrate	4.2	4.3		
VCC	Metal	Plane	0.5	<Auto>	5	77.7
	Dielectric	Substrate	5.9	4.3		
DStripLine1	Metal	Signal	0.5	<Auto>	5	60
	Dielectric	Substrate	37	4.3		
DStripLine2	Metal	Signal	0.5	<Auto>	5	60
	Dielectric	Substrate	5.9	4.3		
GND	Metal	Plane	0.5	<Auto>	5	77.7
	Dielectric	Substrate	4.2	4.3		
BOTTOM	Metal	Signal	1	<Auto>	5	60



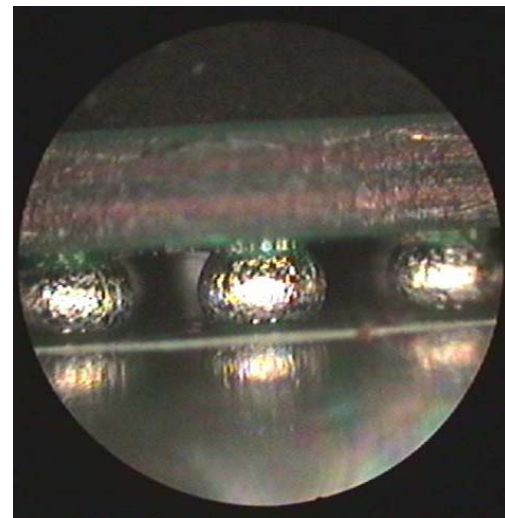
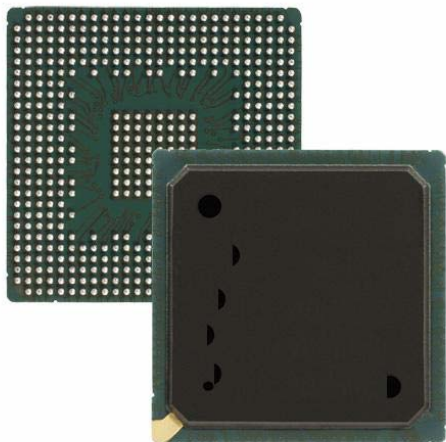
Layer Name	Type	Usage	Thickness um	Er	Test Width um	Z0 ohm
TOP	Metal	Signal	35	<Auto>	125	60
	Dielectric	Substrate	105.3	4.3		
VCC	Metal	Plane	18	<Auto>	125	77.7
	Dielectric	Substrate	149	4.3		
DStripLine1	Metal	Signal	18	<Auto>	125	60
	Dielectric	Substrate	950	4.3		
DStripLine2	Metal	Signal	18	<Auto>	125	60
	Dielectric	Substrate	149	4.3		
GND	Metal	Plane	18	<Auto>	125	77.7
	Dielectric	Substrate	105.3	4.3		
BOTTOM	Metal	Signal	35	<Auto>	125	60



Ļauj izvairīties no atstarojumiem augstfrekvenču ķēdēs



**Ir vērts nosimulēt shēmu pirms ražošanas!
Kādu programmatūru izmantot?**

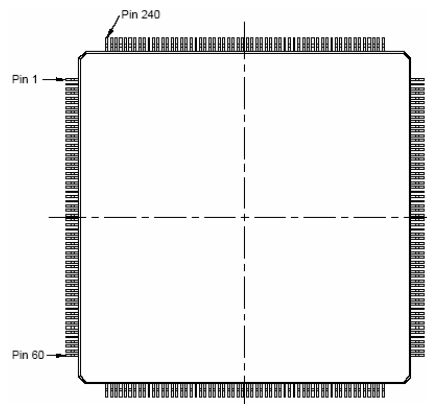


Montāža:

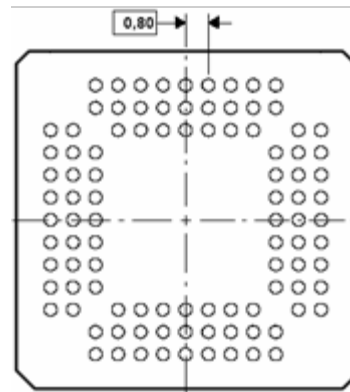
Trafarētu izgatavošana (izkodināts, izgriezts ar lāzeru)
- lai nonestu pastu

Ražošanas sagatavošana

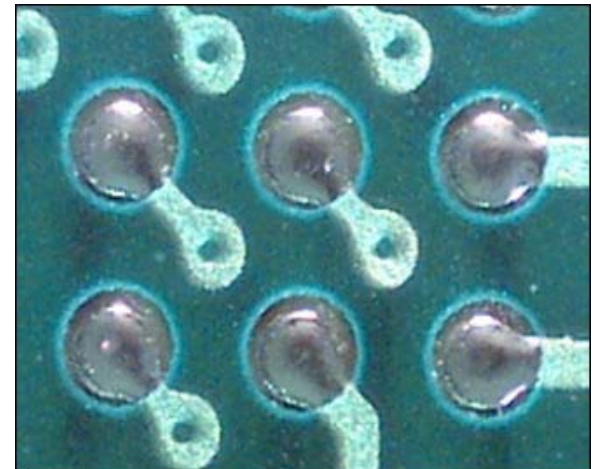
Pārbaude (X-Ray)

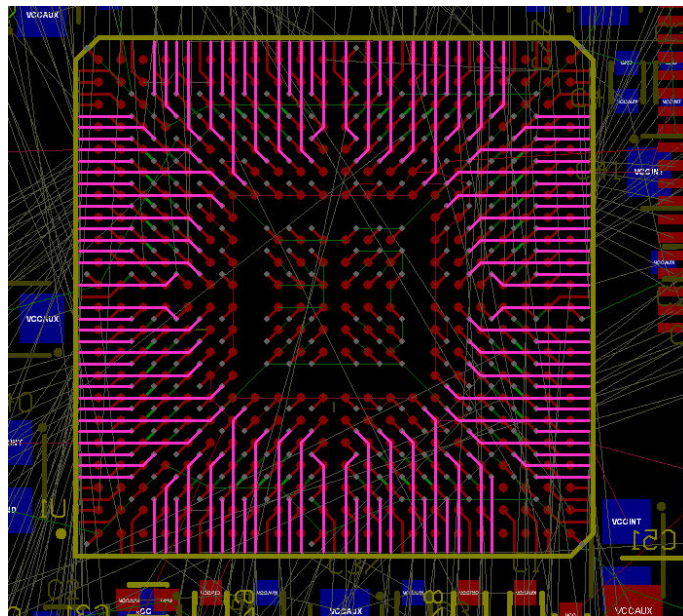


Lodāmurs?



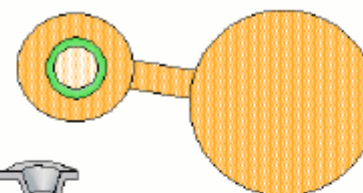
Fēns?





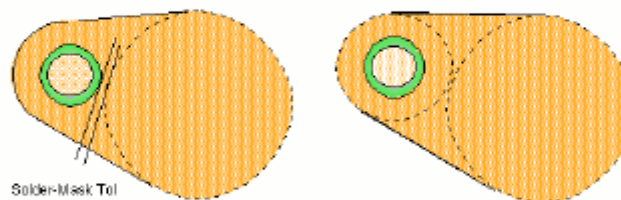
BGA trasēšana

Adjacent vias

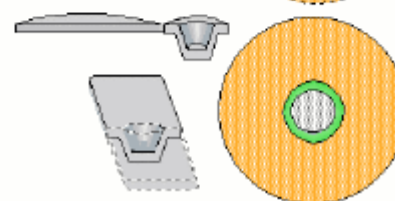


Solder-Mask Tol

Inset vias



Via-In-Pad



Secinājumi:

**Daudzslāņu plates dod iespēju samazināt iekārtas izmērus
Palielināt komponentu blīvumu**

Pirms projektēšanas ir jāpadomā par iespējamiem risinājumiem:

*slāņu skaitu,
carumu tipu,
test point'iem,
pārvades līniju pretestībām
BGA trasēšanu*

Montāža

Projektēšanas vides(CAD), Simulācijas

Tehnoloģisko un mehānisko konstrukciju veidošana

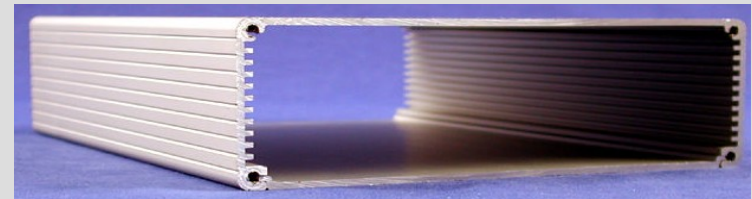
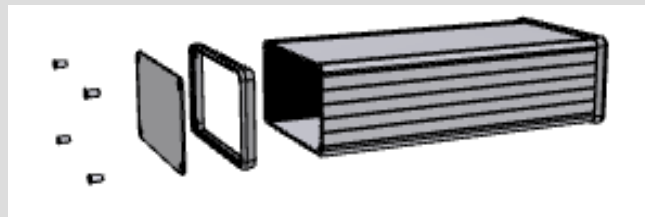


- Brīvas formas signāla ģenerators un signāla reģistrators plašu novietošanai izvēlēta Hammond Manufacturing alumīnija korpuss 1455T2201
- Ir piedāvājumā divu krāsu korpusi (melna un sudraba)
- Ir pieejamas dažādu izmēru korpusi (augstums, platums, garums)

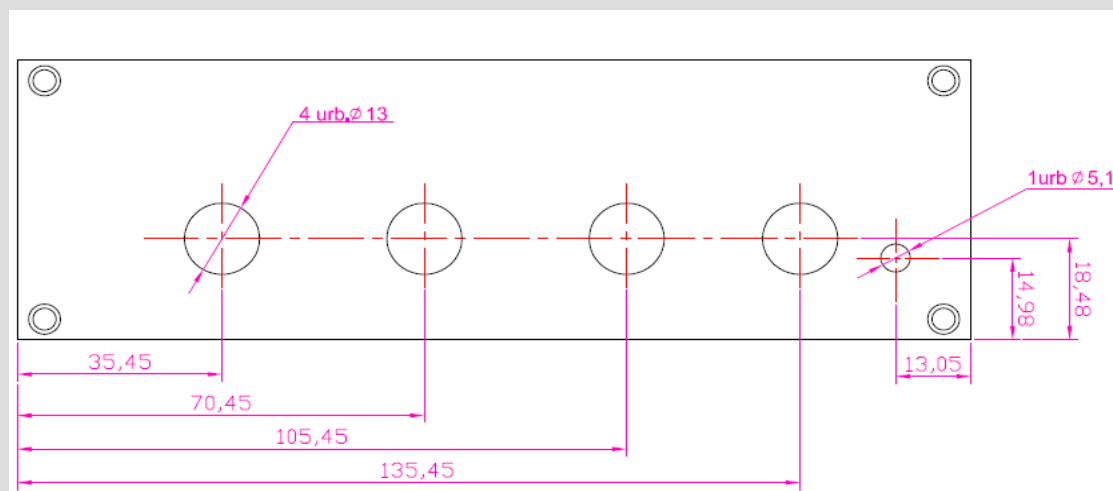
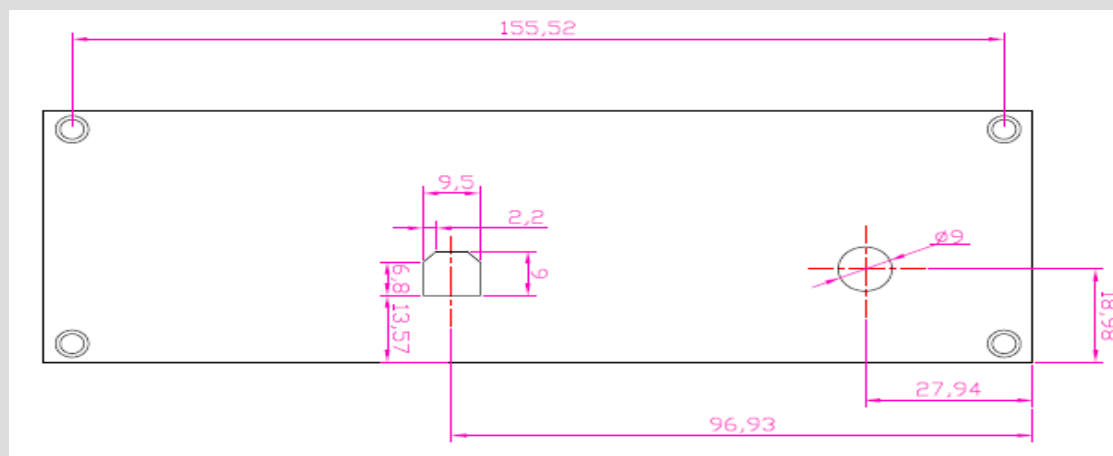


Hammond Manufacturing korpura priekšrocības

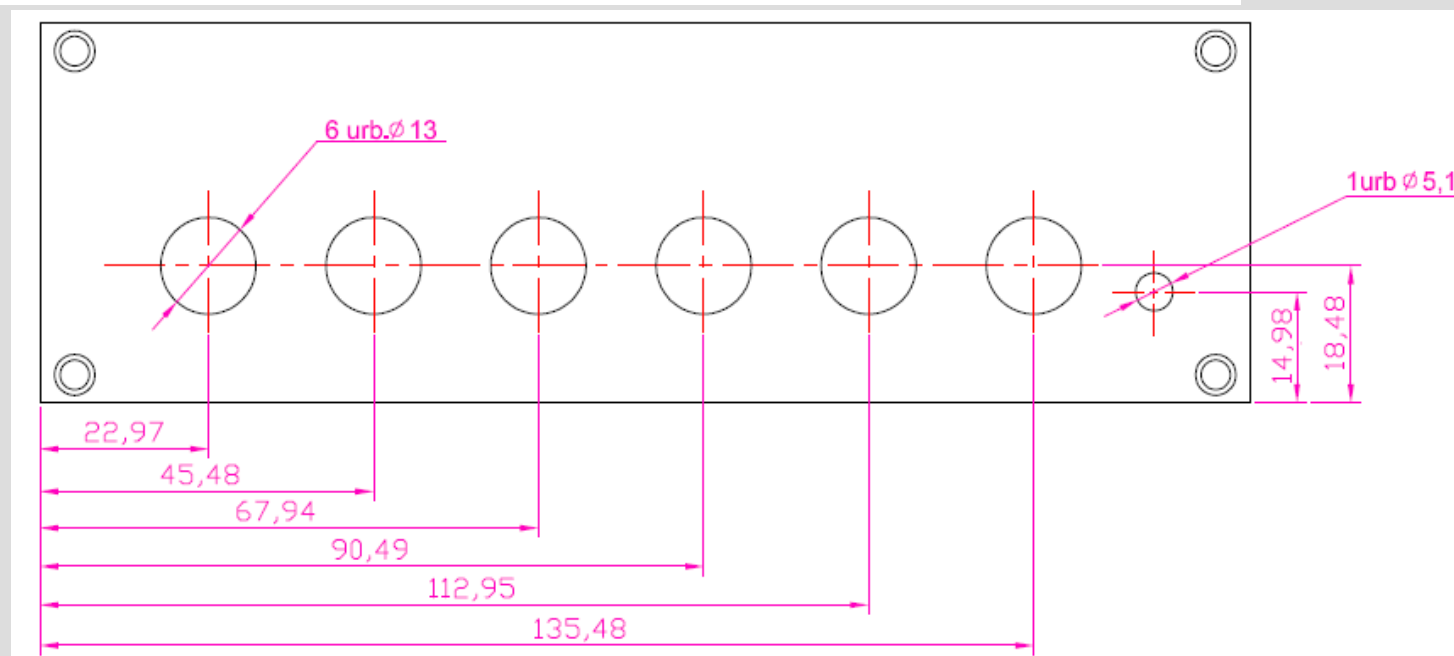
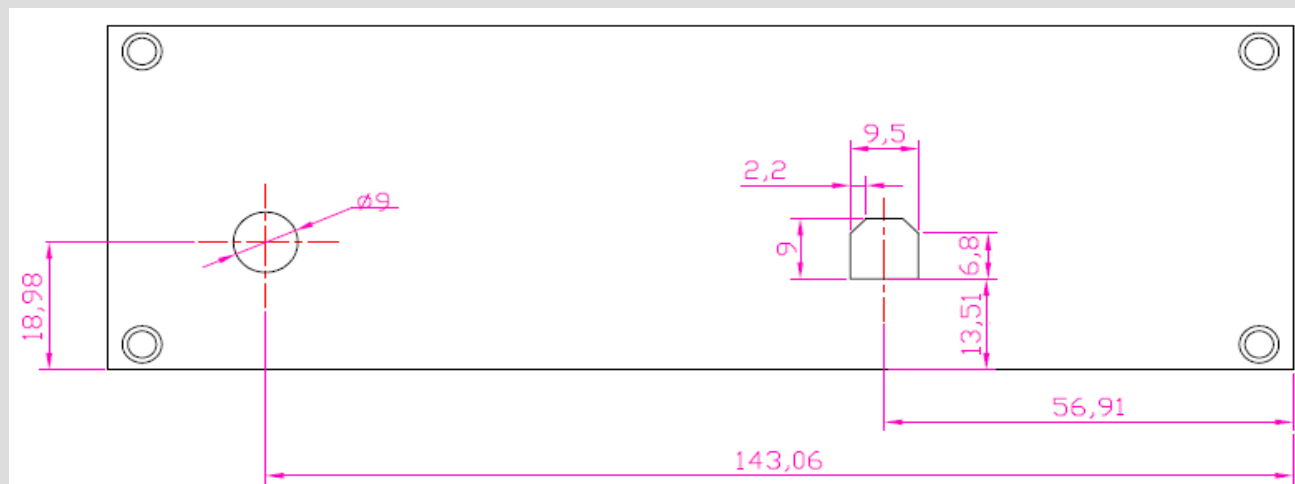
- Ērti saliekams un izjaucams
- Var izvēlēties vajadzīgo novietojuma augstumu platei
- Plati nav nepieciešams pieskrūvēt pie korpusa
- Alumīnija korpuss, kas veicina siltuma novadīšanu



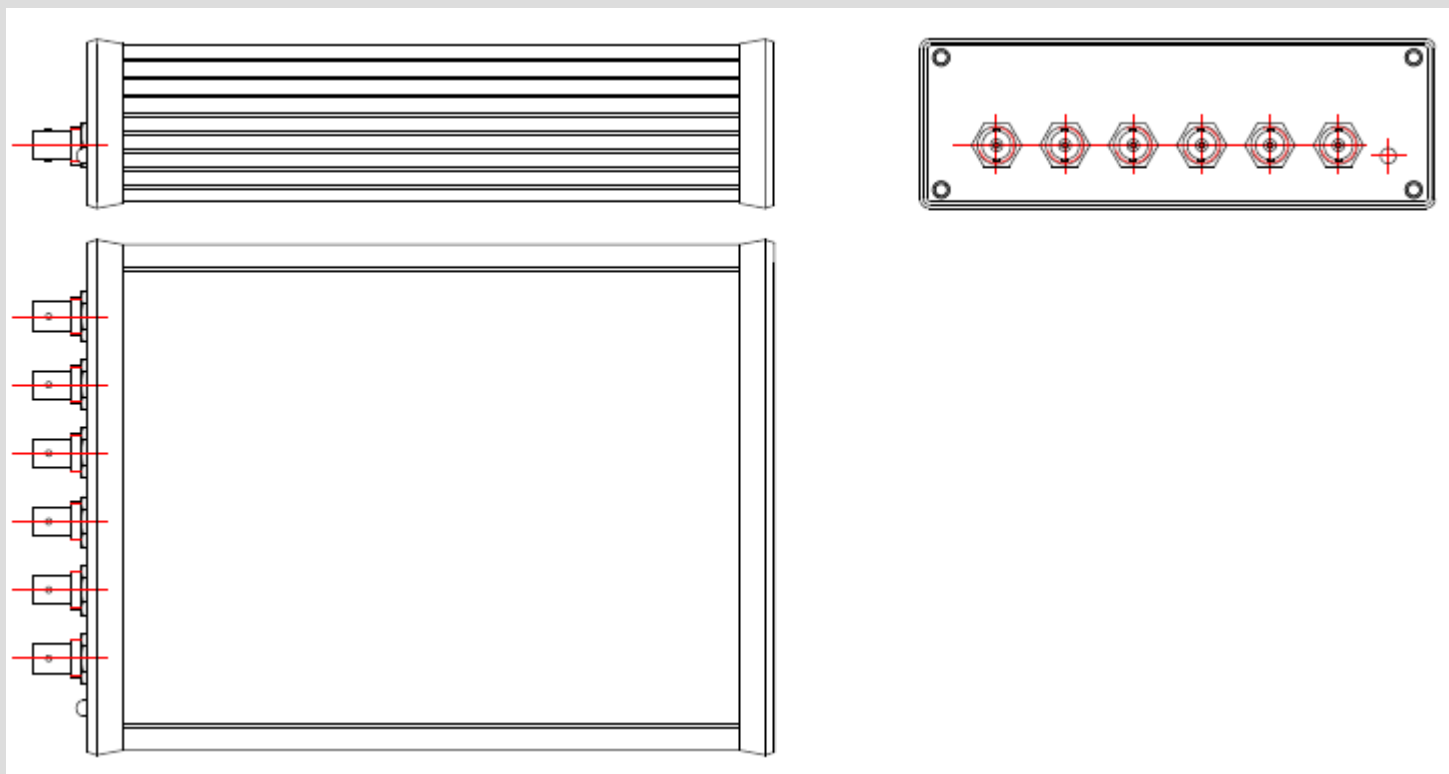
Signāla reģistratora priekšējā un aizmugurējā plate



Brīvas formormas signālu ģeneratora priekšējā un aizmugurējā plate



Brīvas formormas signālu ģenerators kopsalikuma rasējums



PCI Express plates reinforcement

- Developed according to plate dimensions and detail placement
- Manufactured in EDI workshop

