

APSTIPRINĀTS



Direktors Modris Greitāns
2022. gada 30. augusts

**Elektronikas un datorzinātņu institūta
Projektā “Silīcija intelektuālā īpašuma izstrādes nams – SilHouse (KC-PI-2020/12)”
radītās tehnoloģijas, intelektuālā īpašuma, zinātība un ar to saistītās tiesības,
izsoles nolikums**

1. Vispārīgie noteikumi

- 1.1. Izsoles rīkotājs “Elektronikas un datorzinātņu institūts”, reģ. Nr.: 90002135242, juridiskā adrese: Dzērbenes ielā 14, Rīgā, LV-1006, Latvija (turpmāk tekstā – *EDI*).
- 1.2. Nolikums nosaka *EDI* intelektuālā īpašuma izsoles norises kārtību.
- 1.3. Nolikums ir izveidots un izsole tiek organizēta saskaņā ar Latvijas Republikas normatīvajiem aktiem.
- 1.4. *EDI* komercializē tai piederošo intelektuālo īpašumu ar mērķi iegūt maksimāli komerciāli izdevīgāko piedāvājumu par projekta, kurš izstrādāts pamatojoties uz Valsts zinātniskā institūta, atvasinātas publiskas personas „Elektronikas un datorzinātņu institūts” un Latvijas investīciju un attīstības aģentūras līguma KC-L-2017/14/12, ietvaros radīto intelektuālo īpašumu, zinātība (“*know-how*”) un ar to saistītās tiesības.
- 1.5. Informāciju par intelektuālo īpašumu var iegūt *EDI* vai rakstot uz info@edi.lv līdz 2022. gada 14. septembrim.
- 1.6. Izsoles forma – rakstiska izsole.
- 1.7. Izsole notiek ar augšupejošu soli.
- 1.8. Visos citos jautājumos, kas nav paredzēti šā nolikuma noteikumos, ir jāvadās no spēkā esošajiem Latvijas Republikas normatīvajiem aktiem. Šī nolikuma noteikumi ir piemērojami un iztulkojami saskaņā ar Latvijas Republikas normatīvajiem aktiem.

2. Nolikumā lietotie termini

- 2.1. Izsoles dalībnieks – fiziska vai juridiska persona;
- 2.2. Izsoles objekts – intelektuālā īpašuma, kas ietver Pielikuma Nr.3 uzskaitīto zinātību un ar to saistītās tiesības, atsavināšana.
- 2.3. Izsoles objekta sākumcena 225 000,00 EUR, neskaitot pievienotās vērtības nodokli.
- 2.4. Visaugstākā izsolāmā objekta cena – izsoles dalībnieka rakstiski izteikts piedāvājums, kas ietver no visiem izsoles dalībniekiem visaugstāko solīto izsolāmā objekta cenu.
- 2.5. Izsoles uzvarētājs – izsoles dalībnieks, kurš par izsoles objektu nosolījis visaugstāko izsolāmā objekta cenu.

2.6. Pieteikums – izsoles dalībnieka iesūtīts pieteikums par dalību izsolē ar iekļautu piedāvāto izsolāmā objekta cenu (*Pielikums Nr. 1*).

2.7. Izsoles organizētājs un rīkotājs – ar EDI 2021. gada 29.marta rīkojumu Nr.1.1.-2/12-21 (grozījumi 2022.gada 3.janvārī rīkojums Nr.1.1.-2/9-22) apstiprinātā izsoles komisija.

3. Izsoles organizācijas kārtība

3.1. Ne vēlāk kā 2 (divas) nedēļas pirms izsoles informācija par izsoli tiek publicēta EDI mājas lapā www.edi.lv un tajā pašā mājas lapā ievieto izsoles nolikumu ar pieteikuma veidlapu un atsavināšanas līguma projektu. Informācija var tik publicēta un izplatīta arī citos veidos ar mērķi, lai ar to var iepazīties pēc iespējas plašāka auditorija.

3.2. Pieteikumu var iesniegt klātienē, pa pastu vai elektroniski.

3.2.1. Pieteikums jānosūta vai jāiesniedz klātienē aizzīmogotā vēstulē, kuras izsolei to iesniedz, EDI, Dzērbenes ielā 14, 2. stāvā direkcijā darba dienās laikā no plkst. 08.30 līdz 17.00, Rīgā, LV-1006 līdz 2022. gada 16. septembrim plkst. 13:00.

3.2.2. Pieteikums ir iesniedzams elektroniskā dokumenta formā, parakstot to ar drošu elektronisko parakstu un sūtot uz epasta adresi info@edi.lv 2022. gada 16. septembrim plkst. 13:00. Pieteikumam ir jābūt parakstītam ar drošu elektronisko parakstu, kas uzlikts līdz 2022. gada 16. septembrim plkst. 13:00.

3.3. Pieteikumam jābūt skaidri salasāmam, bez labojumiem un dzēsumiem.

3.4. Pieteikumi, kas tiks iesniegti (iesūtīti) pēc noteiktā termiņa, netiks pieņemti.

3.5. Līdz noteiktā termiņa beigām Izsoles dalībnieks savu pieteikumu var atsaukt rakstiskā veidā.

3.6. Izsoles komisija Pieteikumu atvēršanu organizē **2022. gada 16. septembrī plkst. 15:01.**

3.7. Pieteikumu atvēršana ir atklāta. Dalību Pieteikuma atvēršanā iepriekš jāaskaņo ar EDI.

4. Izsoles Pieteikumu izvērtēšana

4.1. Izsoles Komisija pārbauda, vai izsoles prasībām atbilstošie Pieteikumi satur visu šajā Nolikumā izklāstīto informāciju (Izsoles dalībnieka rekvizīti, solītā izsoles objekta cena, piekrišana piedāvātajam izsoles līgumam) un vai iesniegtais Pieteikums atbilst Nolikuma prasībām.

4.2. Izsoles komisija ir tiesīga izslēgt no dalības rakstiskajā izsolē Pieteikumus, kuri nesatur visu šajā Nolikumā pieprasīto informāciju, vai iesniegtā informācija neatbilst šī Nolikuma prasībām.

4.3. Nolikuma prasībām atbilstošie Pieteikumi tiks salīdzināti un vērtēti pēc lielākās piedāvātās izsoles objekta cenas (cena jānorāda bez PVN un jānoapaļo līdz veseliem euro).

4.4. Ja vairākiem Izsoles dalībniekiem būs vienādas lielākās cenas, Izsoles dalībniekiem tiks piedāvāts rakstiski 5 (piecu) kalendāro dienu laikā pārskatīt savus Pieteikumus un piedāvāt tādu pašu vai lielāku izsoles objekta cenu, nosakot piedāvājumu iesniegšanas un atvēršanas datumu, laiku, vietu un kārtību.

4.5. Izsole tiek protokolēta, atzīmējot katru iesūtīto Pieteikumu, tā atvēršanas laiku un piedāvāto izsoles objekta cenu.

4.6. Izsole atzīstama par notikušu bez rezultāta, ja nav pieteicies neviens Izsoles dalībnieks vai nav saņemts neviens derīgs Pieteikums.

4.7. Izsoles komisija pēc izsoles pieteikumu izvērtēšanas paziņo rezultātus Izsoles dalībniekiem un publicē informāciju par izsoles rezultātiem EDI mājas lapā www.edi.lv.

5. Atsavināšanas līguma slēgšana

5.1. Pēc Izsoles rezultātu paziņošanas Izsoles dalībniekam – Izsoles uzvarētājam ar EDI 10 (desmit) darba dienu laikā jānoslēdz atsavināšanas līgums (*Pielikumā Nr. 2*).

5.2. Nosolīto izsoles objekta cenu Izsoles uzvarētājam ir jāmaksā atbilstoši atsavināšanas līguma nosacījumiem.

Nolikuma pielikumi:

1. Pieteikums dalībai izsolē latviešu valodā (Pielikums Nr. 1)

2. Application for participation in the auction in English (Pielikums Nr. 2)

3. Atsavināšanas līguma projekts latviešu un angļu valodās

Transfare of the rights agreement (in Latvian and English) (Pielikums Nr. 3)

4. Izsolāmo SilHouse tehnoloģijas autortiesību un zinātības objektu uzskaitījums (Pielikums Nr. 4)

5. List of SilHouse technology copyrights and know-how objects to be auctioned (Pielikums Nr. 5)

**Elektronikas un datorzinātņu institūta
izsoles komisijai**
Dzērbenes iela 14, 2.stāvā direkcijā, Rīgā, LV-1006, Latvija

fiziskas personas rekvizīti
(vārds, uzvārds, personas kods, deklarētās dzīvesvietas adrese)
VAI
juridiskas personas rekvizīti
(nosaukums, reģistrācijas numurs un juridiskā adrese)

Kontakttālrunis, e-pasts

PIETEIKUMS DALĪBAI IZSOLĒ

Vēlos piedalīties SilHouse projekta radītās tehnoloģijas intelektuālā īpašuma izsolē ar piedāvāto cenu

_____ EUR.

Piekrītu atsavināšanas līguma projektā ietvertajiem nosacījumiem, jo īpaši apmaksas nosacījumiem.

Norēķina konta numurs kredītiestādē:

Apstiprinām, ka dalībai izsolē šķēršļi nepastāv.

datums

paraksts

**Addressed to Institute of Electronics and Computer Science
Auction committy
14 Dzerbenes St., LV-1006, Riga, Latvia**

Name, surname, personal identification number, address of the declared place of residence
for individual

OR

Company name, registration number and legal address, phone number and e-mail
for legal entity

APPLICATION FOR PARTICIPATION IN THE AUCTION

I would like to participate in the intellectual property auction of the technology created within
the SilHouse project with the offered price

_____ EUR.

I agree to conditions laid out in the draft of the agreement and payment conditions.

Account number and bank:

We confirm that there are no obstacles for us to participation in the auction.

date

signature

TIESĪBU ATSAVINĀŠANAS LĪGUMS Nr. ... / TRANSFER OF RIGHTS
AGREEMENT No...

Rīga, Latvija / Riga, Latvia

2022. gada / .. of .., 2022

Valsts zinātniskais institūts - atvasināta publiska persona „Elektronikas un datorzinātņu institūts”, reģistrācijas Nr. 90002135242, juridiskā adrese: Dzerbenes iela 14, Rīga, LV-1006, kuru uz nolikuma pamata pārstāv direktors Modris Greitāns (turpmāk – **Tiesību īpašnieks**), no vienas puses, un *Fiziskas vai juridiskas personas rekvizīti* (turpmāk – **Tiesību pārņēmējs**), tās valdes locekļa Vārds Uzvārds personā, kas rīkojas uz statūtu pamata, no otras puses, turpmāk arī kopā saukti - **Puses**, vadoties no Latvijas Republikas normatīvajiem aktiem un ņemot vērā to, ka Tiesību īpašniekam pieder īpašumtiesības, kā arī autortiesību mantiskās tiesības, uz šā Līguma 1.1. punktā minēto Zinātību kā slepenu informāciju komercnoslēpuma aizsardzības likuma izpratnē, noslēdza šo Līgumu par sekojošo:

State research institute – a derived public person "Institute of Electronics and Computer Science" registration No 90002135242, registered office: Dzerbenes str. 14, Riga, LV-1006, represented by the Director Modris Greitans on the basis of the by-law (hereinafter - **Holder of Rights**), on the one hand, and (hereinafter: – **Successor to Rights**), in person of its board member Name Surname acting on the basis of the Statutes, on the other hand, hereinafter referred to collectively as the **Parties**, in accordance with the laws and regulations of the Republic of Latvia, taking into account that the Holder of Rights owns the ownership rights as well as the property rights of copyright of the know-how referred to in paragraph 1.1 of this Contract as confidential information within the meaning of the Law of trade secret protection, enter into the following Agreement:

1. Līguma priekšmets

1.1. Tiesību īpašnieks nodod, un Tiesību pārņēmējs pieņem īpašumtiesības, kā arī autortiesību mantiskās tiesības, kas uzskaitītas Pielikumā, turpmāk saukta - Zinātība:

1.2. Īpašumtiesības uz Zinātību pāriet Tiesību pārņēmējam no šā Līguma parakstīšanas dienas un pēc 4. punktā norādītās pirkuma maksas saņemšanas Tiesību īpašnieka norādītajā bankas kontā.

1. Subject of the contract

1.1. The Holder of Rights shall transfer, and the Successor to Rights shall accept the ownership as well as the copyright property rights listed in the Annex, hereinafter referred to as “Know-how”:

1.2. The ownership of the know-how shall be transferred to the Successor to Rights from the date of signature of this Agreement and after receipt of the purchase fee referred to in paragraph 4 to

1.3. Tiesību pārņēmējs, ievērojot Līguma noteikumus, piekrīt samaksāt Līgumā noteiktā apmērā un termiņā Zinātības pirkuma maksu.

2. Apliecinājumi

2.1. Tiesību īpašnieks apliecina, ka viņam ir tiesības noslēgt šo Līgumu uz tajā minētajiem noteikumiem, uzņemties tajā noteiktās saistības, kā arī to, ka nododamās izņēmuma tiesības nav apgrūtinātas ar citām saistībām attiecībās ar trešajām personām, nav aizliegtas, nav tiesisku strīdu priekšmets.

2.2. Tiesību īpašnieks arī apliecina, ka Tiesību pārņēmējs var bez šķēršļiem izmantot tiesības saskaņā ar šā Līguma noteikumiem bez kāda pārtraukuma vai Tiesību nodevēja traucējumiem.

2.3. Puses apliecina, ka tām nav tiesībspējas vai rīcībspējas ierobežojumu vai citu juridisku šķēršļu līguma slēgšanai.

3. Pušu tiesības, pienākumi un atbildība

3.1. Visas šajā Līgumā minētās Tiesību īpašnieka īpašumtiesības uz Zinātību tiek pilnā apmērā nodotas Tiesību pārņēmējam.

3.2. Nododot Zinātību Tiesību īpašnieks apņemas iznīcināt vai izdzēst visus fiziskā vai elektroniskā veidā vai formā glabātos informācijas dublikātus vai kopijas, kas ietver Zinātību.

3.3. Noslēdzot šo Līgumu, Tiesību pārņēmējam ir zināmas Zinātības lietošanas iespējas un Tiesību pārņēmējam, parakstot šo Līgumu, nav

the bank account indicated by the Holder of Rights.

1.3. Under the terms of the Agreement, the Successor to Rights agrees to pay the fee for the purchase of Know-how in the amount and within the limits set in the Agreement.

2. Statements

2.1. The Holder of Rights declares that he has the right to conclude this Agreement on the terms referred to therein, to assume the obligations laid down therein, and that the rights to be transferred are not burdened with other obligations in relation to third parties, is not prohibited, is not the subject of legal disputes.

2.2. The Holder of Rights shall also certify that the Successor to Rights may exercise rights under the provisions of this Agreement without any interruption or disruption of the Holder of Rights without obstruction.

2.3. The Parties shall certify that they have no legal or capacity limitations or other legal obstacles to the conclusion of the contract.

3. Rights, obligations and responsibilities of the Parties

3.1. All Holder of Rights Know-how referred to in this Agreement shall be transferred to the Successor to Rights.

3.2. When transferring the Know-how, the Holder of Rights undertakes to destroy or delete all duplicates or copies of information stored in a physical or electronic form, which includes the Know-how.

3.3. In concluding this Agreement, the Successor to Rights has certain possibilities for the use of Know-how and the Successor to Rights has no claim

šajā sakarā nekādu pretenziju pret Tiesību īpašnieku.

3.4. Pusei, kura ir negodprātīga un nepilda Līgumā noteiktos pienākumus, jāatbild par otram Pusei nodarītajiem zaudējumiem.

4. Zinātības pirkuma maksa un norēķinu kārtība

4.1. Puses vienojas, ka Tiesību pārņēmējs maksā Tiesību īpašniekam _____ EUR (*summa vārdiem, 00 centi*), neskaitot pievienotās vērtības nodokli, par Zinātības tiesību nodošanu.

4.2. Tiesību īpašnieks izraksta un iesniedz Tiesību pārņēmējam rēķinu, kas ietver Zinātības pirkuma maksu. Tiesību pārņēmējam uz Tiesību īpašnieka rēķinā, kas ietver Zinātības pirkuma maksu, norādīto bankas kontu Zinātības pirkuma maksa ir jāpārskaita 10 (desmit) dienu laikā.

4.3. Ja Tiesību pārņēmējs neievēro Līguma nosacījumus, dokumentu nodošanas, parakstīšanas, maksāšanas termiņus, tad Tiesību pārņēmējs maksā Tiesību īpašniekam līgumsodu 0,1 % apmērā no Zinātības kopējās pirkuma maksas par katru nokavēto dienu.

4.4. Tiklīdz Tiesību īpašnieka bankas kontā ienāk Tiesību pārņēmēja 4.1. punktā norādītā Zinātības pirkuma maksa, tā atbilstoši šī Līguma 1.2. punkta nosacījumiem Zinātība pāriet Tiesību pārņēmējam.

5. Strīdu atrisināšana un pušu atbildība

5.1. Puses risina visus strīdus un domstarpības, kas rodas sakarā šā Līguma izpildi, saskaņā ar Latvijas

against the Holder of Rights in this regard when signing this Agreement.

3.4. A party which is dishonest and fails to fulfil its obligations under the Agreement must be responsible for the damage suffered by the other Party.

4. Fees and settlement procedures for the purchase of know-how

4.1. The Parties agree that the Successor to Rights shall pay to the Holder of the Rights _____ EUR (sum in words, 00 cents), excluding value added tax, for the transfer of the Know-how

4.2. The Holder of Rights shall issue an invoice to the Successor to Rights, which shall include the cost of the purchase of Know-how. The Successor to Rights must transfer the Know-how purchase fee to the bank account indicated in Holder of Rights invoice, which includes the Know-how Purchase Fee, within 10 (ten) days.

4.3. If the Successor to Rights fails to comply with the conditions of the Agreement, the time limits for the transfer, signature, payment of documents, the Successor to Rights shall pay the Holder of Rights a penalty of 0,1% of the total purchase fee of the know-how for each day of delay.

4.4. As soon as to the bank account of Holder of Rights a Know-how purchase fee, referred in paragraph 4.1., is transferred, under the conditions of paragraph 1.2 of this Agreement, the know-how shall be transferred to the Successor to Rights.

5. Settlement of disputes and the responsibility of the parties

5.1. The Parties shall settle any disputes and disagreements arising from the implementation of this Agreement in

Republikā spēkā esošajiem normatīvajiem aktiem.

5.2. Visus strīdus un domstarpības, kas rodas šā Līguma sakarā, Puses risina pārrunu ceļā. Ja Puses 30 (trīsdesmit) darbadienu laikā nepanāk vienošanos strīdīgajos jautājumos pārrunu ceļā, strīds jānodod izskatīšanai Latvijas Republikas tiesu iestādēs.

5.3. Puses ir viena otrai atbildīgas par savu līgumsaistību neizpildi vai nepienācīgu izpildi, un tām ir savstarpēji jāatlīdzina visi ar to saistītie zaudējumi, izņemot gadījumus, kas tieši paredzēti šajā Līgumā.

6. Nobeiguma noteikumi

6.1. Līgums ietver Pušu pilnīgu vienošanos, Puses ir to izlasījušas, piekrīt visiem tā punktiem un apstiprina, to parakstot.

6.2. Puses paraksta katru Līguma lapaspusi.

6.3. Puses apņemas neizpaust trešajām personām informāciju, kas tām kļuvusi zināma šā Līguma darbības laikā, izpildot Līgumā paredzētās saistības.

6.4. Visos citos jautājumos, kas nav paredzēti šā Līguma noteikumos, Puses vadās no spēkā esošajiem Latvijas Republikas normatīvajiem aktiem. Šī Līguma noteikumi ir piemērojami un iztulkojumi saskaņā ar Latvijas Republikas normatīvajiem aktiem.

6.5. Šis Līgums ir sastādīts latviešu un angļu valodās uz 5 (piecām) lapām 2 (divos) eksemplāros. Katra Puse saņem vienu Līguma eksemplāru. Abiem Līguma eksemplāriem ir vienāds juridiskais spēks.

6.6. Domstarpību gadījumā starp Līguma tekstiem latviešu un angļu valodās par noteicošo tiks uzskatīts teksts latviešu valodā.

accordance with the laws and regulations in force in the Republic of Latvia.

5.2. All disputes and disagreements arising under this Agreement shall be negotiated by the Parties. If the Parties do not reach an agreement within 30 (thirty) working days on the disputed matters by negotiation, the dispute shall be referred to the judicial authorities of the Republic of Latvia.

5.3. The Parties shall be responsible for failing to comply with their contractual obligations and shall reimburse each other for any related loss, except as directly provided for in this Agreement.

6. Final provisions

6.1. The Agreement includes a full agreement between the Parties, the Parties have read it, agree with all its paragraphs and approve it by signing it.

6.2. The Parties shall sign each page of the Agreement.

6.3. The Parties undertake not to disclose to third parties any information which has become known to them during the duration of this Agreement in the performance of their obligations under the Agreement.

6.4. In all other matters not covered by the provisions of this Agreement, the Parties shall be guided by the applicable laws and regulations of the Republic of Latvia. The provisions of this Agreement shall be applicable and translated in accordance with the laws and regulations of the Republic of Latvia.

6.5. This Agreement is drawn up in Latvian and in English on 5 (five) pages in 2 (two) copies. Each Party shall receive one copy of the Agreement. Both copies of the Agreement shall have the same legal effect.

6.6. In case of discrepancies between texts of the Agreement in Latvian and English, the text in Latvian shall prevail.

Tiesību īpašnieks	Tiesību pārņēmējs
Valsts zinātniskais institūts - atvasināta publiska persona „Elektronikas un datorzinātņu institūts”, Reģ. Nr. 90002135242 Dzērbenes iela 14, Rīga, LV-1006, Latvija	... Reģ. Nr.
<hr/> Modris Greitāns	<hr/> ...

Holder of Rights	Successor to Rights
State research institute – a derived public person "Institute of Electronics and Computer Science", Registration No. 90002135242 Dzerbenes street 14, Riga, LV-1006, Latvia	... Registration No.
<hr/> Modris Greitans	<hr/> ...

Izolāmo SilHouse tehnoloģijas autortiesību un zinātības objektu uzskaitījums

Nr.	Objekts	Apraksts	Objekta sastāvdaļas
1. SilHouse paātrinātāju ietvars			
1.1	HDL bibliotēka	Uz VHDL balstīta abstrakcijas bibliotēka, kas atvieglo vienotu un universālu reģistru karšu ģenerēšanu un paātrinātāju plūsmu komplektāciju ar vienu vai vairākām straumēšanas (streaming) ieejām/izejām un atmiņas kartētu vadības interfeisu.	Ietvar pirmkods, kurš sastāv no 15 VHDL failiem
1.2.1	Programmatūra - Linux dzinis	Linux dzinis darbam ar SilHouse HDL bibliotēku. Dzinis nodrošina atmiņas piešķiršanu (datoram un akseleratoram), datu sinhronizāciju (uz/no ierīces), paātrinātāju plūsmu konfigurāciju un DMA vadību. Dzinis atbalsta Alpha Data Group ADM-PCIE-8K5, bet modulārais dizains ļauj to pielāgot arī citām paātrināšanas platformām, tostarp vienkristālshēmām (SoC).	Saziņa ar operētājsistēmas programmatūru: paātrinātāju ietvars, paātrinātāju straumes, paātrinātāju komponentes, paātrinātāju atmiņa, PCIe saskarne, reģistru kartes dekodēšana, konfigurācijas atmiņas pārrakstīšana.
1.2.2	Programmatūra — koplietošanas bibliotēkas (API)	Lietotāj-bibliotēkas, kas nodrošina augsta līmeņa saskarni ar SilHouse Linux draiveri un paātrināšanas iekārtu. Bibliotēkas arī dod iespēju realizēt atbalsta koda selektīvu izplatīšanu jeb konkrētu paātrinātāju kodolu licencēšanu.	Abstrakcijas atmiņas pārvaldība, komponentu konfigurācija un paātrinātāja ierīces/straumes/komponentu abstrakcijas.
1.2.3	Programmatūra – dokumentācija	Visa ietvara dokumentācija HTML un PDF formātos. Dokumentācija ģenerēta no koda, izmantojot doxygen ietvaru.	Doxygen konfigurācija, HTML tīmekļa lapa, PDF.
1.2.4	Programmatūra - komandrindas interfeisa rīks	Komandrindas interfeisa rīks paātrinātāja vides vispārējās konfigurācijas izpētei un FPGA konfigurācijas atmiņas pārrakstīšanai.	C pirmkods.
1.2.5	Programmatūra – testēšanas infrastruktūra	Testēšanas infrastruktūra, kuras pamatā ir gtest testēšanas ietvars. Testos tiek izmantots vienkāršs paātrinātāja plūsmas ievades/izejas datu modelis, t.i., katram komponentam ir modelis, ko izmanto faktiski realizētās paātrinātāja straumes izejas datu ģenerēšanai, kurus attiecīgi var	C++ pirmkods.

salīdzināt ar reālajiem datiem no realizētās paātrinātāju plūsmas.

2. Ar ietvaru saderīgi IP kodoli (var izmantot arī bez SilHouse ietvara)

- | | | |
|--|--|----------------|
| 2.1 Attēlu izgriešana | Pilnībā konveijerizēts silīcija IP kodols, kas ļauj vienkārši mainīt ievades attēla izmēru, "izgriežot" no tā apgabalu. Ievades attēla parametri un izgriešanas opcijas ir konfigurējamas. Kodols ir savietojams gan ar Altera, gan Vivado izstrādes plūsmām. | VHDL pirmkods. |
| 2.2 RGB-intensitātes attēlu konvertēšana. | Pilnībā konveijerizēts silīcija IP kodols, kas pārveido RGB pikseļu vērtības pelēktoņu formātā, izmantojot aparatūras efektīvo LIGHTNESS [(MAX+MIN)/2] metodi. Kodols ir savietojams gan ar Altera, gan Vivado izstrādes plūsmām. | VHDL pirmkods. |
| 2.3 Attēla telpiskais filtrs | Pilnībā konveijerizēts silīcija IP kodols, kas īsteno vispārēju telpisko filtru (konvolūciju) ar konfigurējamiem koeficientiem un attēla platumu, kā arī ar iespēju aprēķināt izejas datu absolūto vērtību. Kodols ir savietojams gan ar Altera, gan Vivado izstrādes plūsmām. | VHDL pirmkods. |
| 2.4 Attēla telpiskā transformācija (lēcu kropļojumu korekcija, rektifikācija, reģistrācija, 16 punktu interpolācija) | Pilnībā konveijerizēts silīcija IP kodols, kas veic attēlu vispārējo telpisko transformāciju, nodrošinot vienkāršu saskarni ārējai transformācijas aprēķinu komponentei, piemēram, matricas reizināšanas vai objektīva kropļojumu korekcijas skaitļošanas bloku kombinācijai. Kodols nodrošina modernu 16 punktu interpolāciju, vienlaikus nodrošinot zemu atmiņas lietojumu. Ievades/izvades attēla platumus var dinamiski konfigurēt. Kodols ir savietojams gan ar Altera, gan Vivado izstrādes plūsmām. | VHDL pirmkods. |
| 2.5 Uz fokusu balstīta attēlu sapludināšana | Pilnībā konveijerizēts Silikona IP kodols, kas apvieno divus attēlus, lai panāktu labāku kopējo attēla fokusa kvalitāti. Algoritms izmanto konfigurējamo attēlu daļu dispersiju un izmanto atmiņas tiešpiekļuves funkcionalitāti, ko nodrošina ar AXI protokolu | VHDL pirmkods. |

	saderīgs EDI DMA kontrolleis. Kodols ir savietojams gan ar Altera, gan Vivado izstrādes plūsmām.	
2.6 Pikseļu jutīguma korekcija	Pilnībā konveijerizēts silīcija IP kodols, kas veic 2 vai 3 punktu jutīguma korekciju — algoritms, ko parasti izmanto infrasarkanajās kamerās. Kodolam ir divas ievades plūsmas (ievades datiem un koeficientiem) un izvades plūsma izlabotajiem datiem. Kodols ir savietojams gan ar Altera, gan Vivado izstrādes plūsmām.	VHDL pirmkods.
2.7 Defektīvu pikseļu korekcija	Pilnībā konveijerizēts silīcija IP kodols, kas (ar malu noteikšanu) veic defektīvu pikseļu korekciju. Kodolam ir divas ievades plūsmas (ievades datiem un koeficientiem) un izvades plūsma izlabotajiem datiem. Kodols ir savietojams gan ar Altera, gan Vivado izstrādes plūsmām.	VHDL pirmkods.
3. Paātrinātāja mikroshēmas dizains (UMC65, Cadence)		
3.1 Pikseļu jutīguma korekcija	Pikseļu jutīguma korekcijas silīcija IP kodols, kas pielāgots lietošanai ar Cadence digitālo integrālshēmu izstrādes plūsmu. Realizēts izmantošanai UMC65 nm tehnoloģijā un ietver saskarni ar ārēju SRAM atmiņas silīcija IP kodolu.	VHDL pirmkods un tehnoloģijas faili.
3.2 Defektīvu pikseļu korekcija	Defektīvu pikseļu korekcijas silīcija IP kodols, kas pielāgots lietošanai ar Cadence digitālo integrālshēmu izstrādes plūsmu. Realizēts izmantošanai UMC65 nm tehnoloģijā un ietver saskarni ar ārējo SRAM atmiņas silīcija IP kodolu vai uz LUT balstītu defektīvo pikseļu koordināšu nodrošinājuma bloku.	VHDL pirmkods un tehnoloģijas faili.
3.3 Attēla telpiskā transformācija (lēcu kropļojumu korekcija, rektifikācija, reģistrācija, 16 punktu interpolācija)	Attēla telpiskās transformācijas korekcijas silīcija IP kodols, kas pielāgots lietošanai ar Cadence digitālo integrālshēmu izstrādes plūsmu. Realizēts izmantošanai UMC65 nm tehnoloģijā, un tajā ir iekļautas vairākas saskarnes ārējai SRAM atmiņai (silīcija IP kodoliem).	VHDL pirmkods un tehnoloģijas faili.
3.4 SRAM kontrolleis	SRAM atmiņas kontroliera silīcija IP kodols, kas pielāgots lietošanai ar Cadence digitālo integrālshēmu	VHDL pirmkods un tehnoloģijas faili.

3.5 SPI saskarne	<p>izstrādes plūsmu. Realizēts izmantošanai UMC65 nm tehnoloģijā.</p> <p>SPI kontroliera silīcija IP kodols, kas pielāgots lietošanai ar Cadence digitālo integrālshēmu istrādes plūsmu. Realizēts izmantošanai UMC65 nm tehnoloģijā. SPI sekotājs ietver vispārīgus un paplašināmus vadības un statusa reģistrus paātrinātāja plūsmai.</p>	VHDL pirmkods un tehnoloģijas faili.
3.6 FTDI FIFO saskarņu kontrolieris	<p>FTDI FIFO-USB2.0 saskarņu silīcija IP kodoli. Kodolos ir iekļauta divu portu, divu takts signālu FIFO saskarnes izveidošanai ar ātrāk taktētu loģiku.</p>	VHDL pirmkods un tehnoloģijas faili.

4. Paātrinātāja vide (kartes)

4.1 Alpha Data Group, 3xADM-PCIE-8K5	<p>Ar SilHouse paātrinātāja ietvaru saderīga paātrinātāja platforma - ADM-PCIE-8K5. ADM-PCIE-8K5 ir pus-garuma, zema profila PCI Express karte ar jaudīgu un efektīvu Xilinx Kintex UltraScale KU115-2 FPGA.</p>	
4.2 HTC Global, 1xHTG-930 VU9P	<p>Ar SilHouse paātrinātāja ietvaru saderīga akseleratora vidē - HTG-930. HTG-930 arhitektūra nodrošina vienkāršu un daudzpusīgu funkcionālo paplašināšanu, izmantojot trīs ar Vita 57.4 saderīgus High-Pin-Count FPGA starpkartes (FMC+) konektorus. FMC+ konektori nodrošina piekļuvi kopumā 370 FPGA ieeju/izeju piniem un 56 GTY (30,5 Gbps) seriālajiem raiduztvērējiem. Ir pieejams plašs FMC (t.i., QSFP+, SFP+, USB 3.0, ADC/DAC u.c.) un FMC+ (CFP8, QSFP28, FireFly, MSMP/GPPO utt.) meitas karšu klāsts, dažādiem pielietojumiem.</p>	

List of SilHouse technology copyrights and know-how objects to be auctioned

Nr.	Object	Description	Components of object
1.1	HDL library	VHDL-based abstraction library facilitating unified and universal register map generation and stream-based component assemblment into accelerator streams with single or multiple streamed inputs / outputs and memory-mapped control interface.	Framework implementation - 15 VHDL files
1.2.1	Software - Linux driver	Linux driver for working with the SilHouse HDL library. Driver ensures memory allocation (host and accelerator), data synchronization (to/from device), stream configuration and DMA control. The driver supports Alpha Data Group ADM-PCIE-8K5, but modular design permits extension to other accelerator mediums, including Systems-on-Chip.	Character device interfaces: framework, streams, components, memory. PCIe interfacing. Register map decoding. Flashing.
1.2.2	Software - Shared libraries (APIs)	Userspace libraries providing higher-level interface with the SilHouse Linux driver and accelerator medium. The libraries permit the supporting code distribution for selected accelerator IP cores, e.g. supports selective licensing.	Abstractions for memory management, component configuration and accelerator device/stream/component abstractions.
1.2.3	Software - Documentation	HTML and PDF based documentation of the whole framework, which is congruent with the code, i.e. generated using doxygen.	Doxygen configuration, HTML web-page, PDF.
1.2.4	Software - CLI tool	Command Line Interface tool for exploring the overall configuration of the acceleration medium and programming FPGA flash.	C source code.
1.2.5	Software - Testing infrastructure	Testing infrastructure based on gtest unit-test framework. Tests employ a simple input/output data model of the accelerator stream, i.e. each component has a model that is used to calculate the	C++ source code.

SilHouse
framework

Framework compatible IP cores (also can be used w/o framework)

2.1	Image clipper	<p>expected output data of the actually implemented accelerator stream.</p> <p>A fully pipelined silicon IP core enabling simple resize of the input image by "clipping" a region out of it. The input image parameters and clipping options are configurable. The core is compatible with both Altera and Vivado development flows.</p>	VHDL source files.
2.2	RGB to gray conversion	<p>A fully pipelined silicon IP core converting RGB pixel values into grayscale format using hardware efficient LIGHTNESS $[(MAX+MIN)/2]$ method. The core is compatible with both Altera and Vivado development flows.</p>	VHDL source files.
2.3	Image spatial filter	<p>A fully pipelined silicon IP core implementing a generic spatial filter (convolution) with applicable coefficients and configurable image width with option to calculate the absolute value of the output data. The core is compatible with both Altera and Vivado development flows.</p>	VHDL source files.
2.4	Image spatial transformation (lens distortion correction, rectification, registration, 16-point interpolation)	<p>A fully pipelined silicon IP core performing generic spatial transformation by providing a simple interface for external transformation processing component that can be, for example, a combination of matrix multiplication or lens distortion correction computing blocks. The core ensures SoA 16-point interpolation while maintaining low memory usage. The input/output image widths can be dynamically configured. The core is compatible with both Altera and Vivado development flows.</p>	VHDL source files.
2.5	Focus-based image fusion	<p>A pipelined silicon IP core that fuses two images for</p>	VHDL source files.

Accelerator
stream chip
design
(UMC65,
Cadence)

		achieving better overall focus quality. The algorithm utilizes variance of configurable image patches and utilizes Scatter-Gather DMA functionality provided by EDI AXI-compatible DMA controller. The core is compatible with both Altera and Vivado development flows.	
2.6	Non-uniformity correction	A fully pipelined silicon IP core performing 2-point/3-point Non-Uniformity-Correction (NUC) - an algorithm commonly used in IR cameras. The core has two input streams (for input data and coefficients) and output stream for the corrected data. The core is compatible with both Altera and Vivado development flows.	VHDL source files.
2.7	Defective pixel correction	A fully pipelined silicon IP core performing correction of defective pixels (with edge detection). The core has two input streams (for input data and coefficients) and output stream for the corrected data. The core is compatible with both Altera and Vivado development flows.	VHDL source files.
3.1	Non-uniformity correction	Non-uniformity correction silicon IP core adopted for use with Cadence-compatible digital IC design flow. The implementation is probed against UMC65 nm technology and includes port for interfacing with external SRAM memory.	VHDL source and technology files.
3.2	Defective pixel correction	Defective pixel correction silicon IP core adopted for use with Cadence-compatible digital IC design flow. The implementation is probed against UMC65 nm technology and includes port for interfacing with external SRAM memory or LUT based defective pixel coordinate provider block.	VHDL source and technology files.

	3.3	Image spatial transformation (lens distortion correction, rectification, registration, 16-point interpolation)	Image spatial transformation correction silicon IP core adopted for use with Cadence-compatible digital IC design flow. The implementation is probed against UMC65 nm technology and includes multiple ports for external on-chip memory.	VHDL source and technology files.
	3.4	SRAM controller	SRAM Master silicon IP core adopted for use with Cadence-compatible digital IC design flow. The implementation is probed against UMC65 nm technology.	VHDL source and technology files.
	3.5	SPI slave	SPI slave silicon IP core adopted for use with Cadence-compatible digital IC design flow. The implementation is probed against UMC65 nm technology. The SPI slave also implements generic and extendable control and status registers for the accelerator stream.	VHDL source and technology files.
	3.6	FTDI FIFO slave/master controllers	FTDI FIFO-USB2.0 slave, master and slave/master silicon IP core. The core also incorporates dual-port dual-clock FIFO for interfacing with higher frequency logic.	VHDL source and technology files.
Accelerator medium	4.1	Alpha Data Group, 3xADM-PCIE-8K5	SilHouse accelerator framework compatible accelerator medium - ADM-PCIE-8K5. The ADM-PCIE-8K5 is a half-length, low profile, PCI Express Add-In Card featuring the powerful and efficient Xilinx Kintex UltraScale KU115-2 FPGA.	
	4.2	HTC Global, 1xHTG-930 VU9P	SilHouse accelerator framework compatible accelerator medium - HTG-930. The HTG-930 architecture allows easy and versatile functional expansion through three Vita 57.4 compliant High-Pin-Count FPGA Mezzanine Card (FMC+) connectors. The FMC+ ports provide access to	

total of 370 single-ended
FPGA I/Os and 56 GTY
(30.5Gbps) serial
transceivers. Wide variety of
FMC (i.e. QSFP+, SFP+,
USB 3.0, ADC/DAC, etc.)
and FMC+ (CFP8, QSFP28,
FireFly, MSMP/GPPO, etc.)
daughter cards are available
to mate with the HTG-930
platform for different
applications.